

# DESARROLLO Y EVALUACIÓN DE ARQUITECTURAS LÓGICAS BASADAS EN NANOPIPELINE



**Héctor Javier Quintero Álvarez**

Facultad de Física  
Universidad de Sevilla

Memoria presentada para optar al grado de doctor en el programa de  
*Ciencias y Tecnologías Físicas*

Junio 2018



A Slimky





## Agradecimientos

A María José y Juan, gracias por todo el apoyo y dedicación durante todos estos años de formación.



# Índice General

Índice de Figuras	XI
-------------------	----

Índice de Tablas	XVII
------------------	------

<b>1. Introducción.</b>	<b>1</b>
1.1. Puertas lógicas dinámicas. . . . .	2
1.1.1. Limitaciones de las puertas dinámicas. . . . .	5
1.1.2. Lógica Dominó. . . . .	7
1.1.3. Operación de redes de puertas Dominó. . . . .	11
1.2. Segmentación de circuitos digitales. . . . .	13
1.2.1. <i>Pipeline</i> tradicional con puertas Dominó. . . . .	15
1.2.2. <i>Superpipeline</i> Dominó. . . . .	17
1.3. Topologías alternativas. . . . .	18
1.3.1. Estilos de diseño que realizan cambios en la red de <i>pull-up</i> . . . . .	19
1.3.2. Estilos de diseño que realizan cambios en la red de <i>pull-down</i> . . . . .	26
1.3.3. Estilos de diseño que dividen la red de <i>pull-down</i> . . . . .	29
1.4. Arquitecturas alternativas. . . . .	32
1.4.1. Arquitecturas basadas en el uso de relojes retrasados. . . . .	32
1.4.2. Arquitecturas que utilizan relojes distintos para la precarga y la evaluación. . . . .	34
1.4.3. Arquitecturas que añaden <i>latches</i> a las puertas diná- micas. . . . .	38
1.5. Objetivos de la Tesis y organización de la memoria. . . . .	40
<b>2. Topología DOE.</b>	<b>43</b>
2.1. Descripción de la topología. . . . .	44
2.2. Experimento de caracterización de puertas. . . . .	48

2.2.1.	Dimensionamiento de los transistores. . . . .	48
2.2.2.	Simulación para validación funcional y caracterización de retrasos. . . . .	50
2.2.3.	Simulaciones de ruido y potencia. . . . .	51
2.2.4.	Herramienta de caracterización de puertas lógicas dinámicas. . . . .	51
2.3.	Evaluación de topologías. . . . .	54
2.3.1.	Análisis de la topología Dominó. . . . .	55
2.3.2.	Análisis de la topología Condicional. . . . .	57
2.3.3.	Análisis de la topología DOE. . . . .	62
2.3.4.	Análisis comparativo. . . . .	63
2.4.	Conclusiones. . . . .	71
<b>3.</b>	<b>Análisis de arquitecturas <i>superpipeline</i>. . . . .</b>	<b>73</b>
3.1.	Arquitectura <i>superpipeline</i> . . . . .	74
3.1.1.	Impacto de los retrasos de evaluación. . . . .	76
3.1.2.	Resultados de simulación con diferentes arquitecturas. . . . .	78
3.1.3.	Sumador <i>Kogge Stone</i> . . . . .	87
3.2.	<i>Nanopipeline</i> con puertas DOE. . . . .	91
3.3.	Dificultades de los <i>nanopipelines</i> de dos fases. . . . .	92
3.4.	Conclusiones. . . . .	98
<b>4.</b>	<b>Validación experimental. . . . .</b>	<b>101</b>
4.1.	Descripción general del circuito integrado. . . . .	101
4.1.1.	Núcleo DIR. . . . .	105
4.1.2.	Núcleo EXT. . . . .	105
4.1.3.	Núcleo INT. . . . .	107
4.2.	Diseño. . . . .	112
4.2.1.	Circuitos de puertas DOE. . . . .	112
4.2.2.	Circuitos <i>nanopipeline</i> . . . . .	116
4.2.3.	Circuitos aritméticos. . . . .	119
4.2.4.	Circuitos generadores de señales internas. . . . .	121
4.3.	Resultados obtenidos. . . . .	125
4.3.1.	Entorno de medida. . . . .	125
4.3.2.	Test de los bloques generadores de relojes. . . . .	127
4.3.3.	Test de puertas. . . . .	128
4.3.4.	Test de <i>nanopipelines</i> . . . . .	129
4.3.5.	Test de sumadores. . . . .	133
4.4.	Conclusiones. . . . .	136

<b>5. Análisis de arquitecturas nanopipeline.</b>	<b>137</b>
5.1. <i>Nanopipeline</i> con puertas dinámicas inversoras y no inversoras.	137
5.2. Evaluación de <i>nanopipelines</i> con tres fases de reloj. . . . .	141
5.2.1. Análisis de frecuencias de operación teóricas. . . . .	141
5.2.2. Análisis de frecuencias de operación medidas por simulación. . . . .	150
5.2.3. Análisis de robustez. . . . .	153
5.2.4. Evaluación de puertas con diferentes funcionalidades.	155
5.3. Evaluación de <i>nanopipelines</i> con dos fases de reloj. . . . .	158
5.3.1. Análisis de frecuencias de operación teóricas. . . . .	159
5.4. Operación del <i>pipeline</i> con puertas DOE sin transistor <i>footer</i> .	165
5.4.1. Evaluación de DOEUF en circuitos a 2 fases. . . . .	166
5.5. Recapitulación. . . . .	170
5.6. Conclusiones. . . . .	174
 <b>Conclusiones.</b>	 <b>177</b>
 <b>Bibliografía</b>	 <b>181</b>



# Índice de Figuras

1.1. Puertas lógicas dinámicas. . . . .	3
1.2. Conexión en cascada de puertas dinámicas. . . . .	7
1.3. Puerta lógica Dominó. . . . .	8
1.4. Puerta lógica Dominó con transistor <i>keeper</i> . . . . .	9
1.5. Puertas Dominó sin transistor <i>footer</i> conectadas en cascada. . . . .	10
1.6. Estilo de diseño np-CMOS. . . . .	11
1.7. Operación de circuitos Dominó con dos fases de reloj. . . . .	12
1.8. Etapa de un <i>pipeline</i> con <i>flip-flops</i> como elementos de memoria. . . . .	13
1.9. Etapa de un <i>pipeline</i> con <i>latches</i> como elementos de memoria. . . . .	14
1.10. Temporización de <i>pipelines</i> Dominó con <i>latches</i> . . . . .	16
1.11. Temporización de un superpipeline Dominó. . . . .	17
1.12. Topología <i>HS Domino</i> . . . . .	20
1.13. Topología Dominó con <i>keeper</i> condicional. . . . .	21
1.14. Topología Dominó con transistor <i>keeper</i> de réplica de corriente de fuga (LCR). . . . .	22
1.15. Topología Dominó con transistor <i>keeper</i> controlado por comparación de corriente (CKCCD). . . . .	23
1.16. Topología Dominó con transistor <i>keeper</i> compensado. . . . .	24
1.17. Topología Dominó con transistor <i>keeper</i> compensado mejorada. . . . .	25
1.18. Topología Dominó con diodo <i>footer</i> . . . . .	26
1.19. Topología Dominó con transistor <i>footer</i> retrasado. . . . .	28
1.20. Topología Dominó con red de <i>pull-up</i> a partir de transistores NMOS. . . . .	29
1.21. Topología Dominó con diodo particionado (DPD). . . . .	30
1.22. Topología Dominó <i>split</i> . . . . .	31
1.23. Interconexión de puertas dinámicas con reloj retrasado ( <i>CD-Domino</i> ). . . . .	33
1.24. Arquitecturas <i>CL-Domino</i> . . . . .	35
1.25. Arquitectura <i>Memory Less</i> . . . . .	37

1.26. Topología LSDL. . . . .	38
1.27. Arquitecturas LSDL. . . . .	39
2.1. Topología DOE. . . . .	45
2.2. Forma de onda para una puerta NOR de 16 entradas. . . .	46
2.3. Formas de onda para una puerta NOR de 16 entradas sin celda de retraso. . . . .	47
2.4. Esquemático utilizado para caracterización. . . . .	48
2.5. Medidas de retraso. . . . .	50
2.6. Diagrama de flujo de un experimento de caracterización. . .	53
2.7. Retrasos frente a $K_{PDN}$ para topología Dominó en PTM 32 nm, 22 nm y 16 nm. . . . .	56
2.8. Potencia frente a $K_{PDN}$ para topología Dominó en PTM 32 nm, 22 nm y 16 nm. . . . .	57
2.9. Retrasos frente a UGN para topología Dominó en PTM 32 nm, 22 nm y 16 nm. . . . .	58
2.10. Operación de puerta dinámica con transistor <i>keeper</i> condicional.	59
2.11. Puerta dinámica con transistor <i>keeper</i> condicional. . . . .	59
2.12. Retraso frente a $K_{PDN}$ para topología condicional en PTM 32 nm, 22 nm y 16 nm. . . . .	60
2.13. Retraso frente a UGN normalizado para topología condicional en PTM 32 nm, 22 nm y 16 nm. . . . .	62
2.14. Retraso frente a $K_{PDN}$ para topología DOE en PTM 32 nm, 22 nm y 16 nm. . . . .	63
2.15. Retraso frente a UGN normalizado para topología DOE en PTM 32 nm, 22 nm y 16 nm. . . . .	63
2.16. Comparación de retrasos frente a UGN normalizado en PTM.	64
2.17. Comparación de consumo de potencia en PTM. . . . .	66
2.18. Comparación de PDP frente a UGN en PTM. . . . .	69
2.19. Comparación de retrasos frente a UGN normalizado en PTM.	70
2.20. Comparación de retrasos frente a UGN normalizado en FinFET.	71
3.1. Operación de <i>pipeline</i> . . . . .	75
3.2. Puerta Dominó utilizada en los experimentos. . . . .	78
3.3. $V_{DD}$ mínimo frente a frecuencia. . . . .	80
3.4. Potencia frente a frecuencia. . . . .	81
3.5. Producto $E \cdot T$ . . . . .	82
3.6. Potencia frente a frecuencia en segundo experimento. . . .	83
3.7. Producto $E \cdot T$ en segundo experimento. . . . .	84
3.8. Análisis nominal y de córners de $ARQ_1$ y $ARQ_4$ . . . . .	85



3.9. Energía frente a frecuencia comparando $ARQ_2$ y $ARQ_4$ TT y córners de $ARQ_1$ . . . . .	86
3.10. Sumador <i>Kogge Stone</i> . . . . .	88
3.11. Energía vs Frecuencia normalizada de bloques CM. . . . .	90
3.12. Producto $E \cdot T$ vs Factor de escalado del transistor <i>keeper</i> . . . . .	90
3.13. Formas de onda de una simulación de <i>nanopipeline</i> con puertas DOE NOR. . . . .	92
3.14. <i>nanopipeline</i> con fases de reloj solapadas. . . . .	93
3.15. Comportamiento de <i>nanopipelines</i> Dominó y DOE con dos fases de reloj y un DTC al 50 %. . . . .	94
3.16. Comportamiento de etapas internas del <i>nanopipeline</i> DOE con un DTC del 50 %. . . . .	96
3.17. Comportamiento de <i>nanopipelines</i> Dominó y DOE con dos fases de reloj y un DTC del 60 %. . . . .	97
3.18. Primeras tres etapas del <i>pipeline</i> Dominó con dos fases de reloj y un DTC del 60 %. . . . .	97
3.19. Señales internas de la segunda puerta DOE con DTC al 60 %. . . . .	98
4.1. Bloques del circuito integrado. . . . .	102
4.2. Circuito integrado. . . . .	103
4.3. PCB. . . . .	104
4.4. Interfaz núcleo DIR. . . . .	105
4.5. Interfaz núcleo EXT. . . . .	106
4.6. Diagrama de bloques del núcleo EXT. . . . .	108
4.7. Interfaz núcleo INT. . . . .	109
4.8. Diagrama de bloques del núcleo INT. . . . .	111
4.9. Puerta NAND de 2 entradas. . . . .	114
4.10. Puerta NOR de 6 entradas. . . . .	115
4.11. Puerta NOR de 16 entradas. . . . .	117
4.12. Puerta NOR de 32 entradas. . . . .	118
4.13. <i>nanopipeline</i> de 10 puertas de 6 entradas. . . . .	119
4.14. Diagrama de bloques del sumador CLA. . . . .	120
4.15. Diagrama lógico del generador de acarreo C2. . . . .	120
4.16. Sumador <i>Kogge Stone</i> . . . . .	122
4.17. Diagrama del generador de señal de reloj de dos fases. . . . .	123
4.18. Diagrama del generador de señal de reloj a tres fases. . . . .	124
4.19. Diagrama del generador de entrada. . . . .	125
4.20. Entorno de medida. . . . .	126
4.21. Formas de onda experimentales de una puerta NOR de 16 entradas del núcleo DIR. . . . .	128

4.22. Formas de onda experimentales de dos puertas NOR del núcleo EXT, una de 32 entradas ( <i>MUX1_EXT</i> ) y una de 6 entradas ( <i>MUX2_EXT</i> ). . . . .	129
4.23. Formas de onda experimentales de un <i>nanopipeline</i> con puertas DOE-NOR de 32 entradas del núcleo EXT con un esquema de reloj de dos fases. . . . .	130
4.24. Formas de onda experimentales de dos <i>nanopipelines</i> del núcleo EXT, uno con puertas DOE-NOR de 6 entradas a dos fases ( <i>MUX2_EXT</i> ) y otro con puertas DOE-NOR de 16 entradas a tres fases ( <i>MUX3_EXT</i> ). . . . .	131
4.25. Formas de onda de un <i>nanopipeline</i> de 10 puertas DOE-NOR de 16 entradas a dos fases. . . . .	132
4.26. Formas de onda de un <i>nanopipeline</i> de 10 puertas DOE-NOR de 16 entradas con tres fases de reloj. . . . .	133
4.27. Formas de onda experimentales del sumador KS con dos fases de reloj. . . . .	134
4.28. Formas de onda experimentales del sumador KS con tres fases de reloj. . . . .	135
5.1. Formas de onda en simulación de un <i>nanopipeline</i> de 10 puertas Dominó. . . . .	138
5.2. Nivel de tensión mínimo medido en la descarga de los nodos dinámicos de <i>nanopipelines</i> Dominó y DOE. . . . .	139
5.3. Formas de onda de dos <i>nanopipelines</i> , uno con puertas Dominó y otro con puertas Dominó inversoras. . . . .	140
5.4. Esquemático de las puertas de los experimentos de análisis de <i>nanopipelines</i> . . . . .	142
5.5. Esquema de reloj de tres fases y medidas de retraso. . . . .	143
5.6. Restricciones limitantes en <i>nanopipelines</i> . . . . .	148
5.7. Comparación de frecuencias teóricas entre Dominó y DOE. . . . .	149
5.8. Comparación de frecuencias simuladas entre Dominó y DOE. . . . .	150
5.9. Frecuencias simuladas de <i>nanopipelines</i> Dominó y DOE para dos valores extremos de $K_{PRE}$ . . . . .	153
5.10. Relación de frecuencias simuladas en <i>nanopipelines</i> para dos valores de $K_{PRE}$ . . . . .	154
5.11. Comparación de frecuencias simuladas en Dominó y DOE con diferentes valores de $K_{PRE}$ . . . . .	155
5.12. Análisis de córners. . . . .	155
5.13. Esquema de reloj de dos fases. . . . .	159
5.14. Análisis de criterio limitante en <i>nanopipelines</i> de dos fases. . . . .	162

---

5.15. Comparación de frecuencias teóricas con 2 y 3 fases. . . . .	164
5.16. Formas de onda de dos <i>nanopipelines</i> , uno con puertas Do- minó y otro con puertas Dominó sin transistor <i>footer</i> . . . . .	166
5.17. Nodos dinámicos de la etapa 5 de DOE y DOE UF. . . . .	167
5.18. Frecuencias simuladas en Configuración 1 de reloj. . . . .	168
5.19. Frecuencias simuladas en Configuración 2 de reloj. . . . .	169
5.20. <i>Nanopipeline</i> de puertas simples y complejas. . . . .	171
5.21. Resultados de simulación con relojes no ideales. . . . .	173



# Índice de Tablas

2.1. Parámetros de diseño utilizados en la evaluación de topologías.	55
3.1. Resultados de simulación de bloques CM del sumador <i>Kogge Stone</i> .	89
4.1. Frecuencias nominales de los relojes internos de dos fases.	123
4.2. Frecuencias nominales de los relojes internos de tres fases.	125
4.3. Tabla de frecuencias reales de relojes internos de dos fases.	127
4.4. Tabla de frecuencias reales de relojes internos de tres fases.	127
5.1. Dimensionamiento del experimento.	143
5.2. Retrasos (ps) de puertas Dominó.	145
5.3. Retrasos (ps) de puertas DOE.	145
5.4. Frecuencias teóricas para $K_{PRE} = 13$ y $C_{DIN} = 27$ fF.	152
5.5. Retrasos medidos y frecuencia estimada normalizada para DOE.	157
5.6. Análisis de robustez.	158
5.7. Caracterización de rangos válidos de DTC y <i>skew</i> para 4GHz.	171
5.8. <i>skew</i> nominal.	174
5.9. <i>skew</i> con córners.	174



# Capítulo 1

## Introducción.

El trabajo descrito en esta Memoria surge en el contexto de un Proyecto del Plan Nacional en el que se abordaba el diseño de circuitos lógicos utilizando diodos de efecto túnel resonante (RTDs). Estos dispositivos exhiben resistencia diferencial negativa en su característica I-V, sobre cuya base es posible construir puertas que aúnan funcionalidad lógica y memoria. Esto es, además de implementar una determinada operación lógica, una puerta de este tipo también implementa un *latch*, de forma que, durante parte de su operación, es insensible a los cambios en sus entradas, manteniendo en su salida el valor anterior. En virtud de esta memoria, su operación a nivel de red es tipo *pipeline* sin necesidad de añadir *flip-flops*. Estas puertas operan con una señal de reloj que determina los distintos “modos de operación”. Además, se trata de un *pipeline* ultra-fino, ya que hay un único nivel de puertas por fase de reloj, que se ha denominado *nanopipeline*.

La necesidad de disponer de referencias con las que comparar las arquitecturas *nanopipeline* que se estaban desarrollando, llevó a plantearse el estudio de la implementación de arquitecturas equivalentes en CMOS. En este sentido, la lógica dinámica, al disponer de una señal de sincronización, que define una fase de precarga durante la cual las entradas están bloqueadas, y una fase de evaluación durante la cual las entradas se propagan, presenta una adecuación natural a un estilo de operación *pipeline*. Su potencial para este tipo de segmentación ha sido reconocido desde hace mucho tiempo. En relación a la implementación de los *pipelines* ultrafinos mencionados, ya en 1987, Ji-Ren, Karlsson y Svensson propusieron el estilo *True Single Phase Circuits* (TSPC) [1]. TSPC combina una puerta y un *latch* dinámicos e intercala etapas en las que la funcionalidad se implementa con transistores NMOS con etapas en las que ésta se implementa con transistores PMOS.

Desde entonces se han seguido desarrollando y aplicando con éxito numerosas arquitecturas de *pipeline* usando lógica dinámica [2–7]. En particular se sabe que distintas compañías de microprocesadores han desarrollado soluciones propias, basadas en lógica Dominó y esquemas de reloj de múltiples fases solapadas, lo que permite eliminar los *latches*, muy eficientes, aunque no se hayan publicado [8]. Incluso se han desarrollado herramientas de síntesis lógica y física para automatizar su diseño [9].

El escalado tecnológico, las altas frecuencias en las que se trabaja actualmente, o las restricciones de potencia han incrementado los principales problemas asociados al uso de lógica dinámica. En este Trabajo de Investigación se aborda el análisis de estas dificultades y se proponen nuevas topologías de puertas dinámicas para la implementación de *nanopipelines* competitivos en términos de velocidad y robustez.

Este capítulo se ha estructurado en cinco apartados. Como punto de partida, el Apartado 1.1 describe la operación de las puertas lógicas dinámicas e introduce la lógica Dominó. En el Apartado 1.2 se analiza el esquema de interconexión de puertas dinámicas tradicional. Posteriormente, se realiza una revisión bibliográfica de diferentes alternativas propuestas para superar distintas limitaciones de la lógica Dominó y que han servido como punto de partida a esta investigación. Concretamente, en el Apartado 1.3 se muestran distintos estilos de diseño que modifican la topología de las puertas Dominó, mientras que en el Apartado 1.4 se muestran distintas arquitecturas de interconexión. Finalmente, en el último apartado se describen los objetivos de este trabajo y la organización de esta Memoria.

## 1.1. Puertas lógicas dinámicas.

En una puerta CMOS estática de  $N$  entradas, se requieren  $N$  transistores PMOS y  $N$  transistores NMOS. Estas puertas tienen la desventaja de que cada entrada está conectada a dos transistores, uno PMOS y otro NMOS. Para cada nivel lógico de la entrada, sólo uno de los dos transistores se activa, lo que significa que la capacidad del otro transistor carga el nodo crítico sin aumentar la corriente de la puerta. Además, los transistores PMOS suelen ser de mayor tamaño y, por tanto, agregan más capacidad.

Uno de los estilos de diseño propuestos para evitar esta desventaja se conoce como lógica pseudo-NMOS. Esta técnica reemplaza la red de transistores PMOS por un único transistor PMOS conectado a tierra. Desafortunadamente, el transistor PMOS compite con los NMOS durante las transiciones descendentes de la salida, reduciendo la velocidad de su descar-



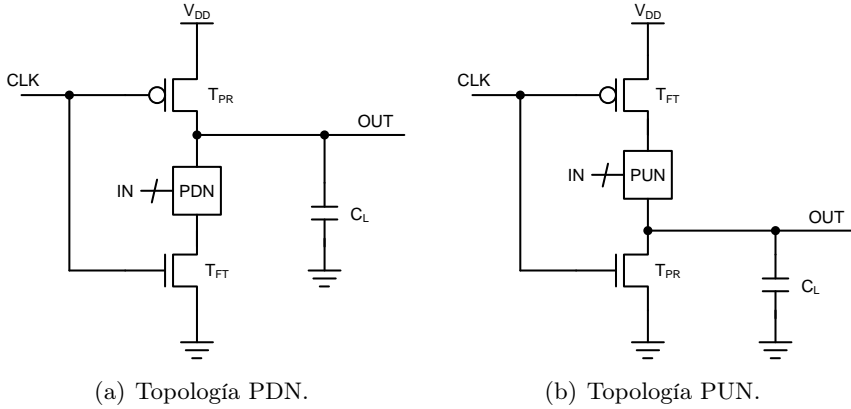


Figura 1.1: Puertas lógicas dinámicas.

ga. Además, debe ser más débil que los NMOS, para tener niveles lógicos asociados al “0” lógico adecuados, por lo que el tiempo de subida no es muy bueno. Finalmente, cuando la salida está en bajo, hay un camino desde  $V_{DD}$  a tierra que consume potencia.

Un esquema alternativo consiste en conectar el transistor PMOS a una señal de reloj en lugar de la conexión a tierra. Este tipo de circuitos se conocen como CMOS dinámicos [10]. Su funcionamiento se divide en dos fases llamadas “precarga” y “evaluación”. La fase de precarga se produce cuando la señal de reloj está en bajo, activando el transistor PMOS y, en consecuencia, precargando el nodo de salida a  $V_{DD}$ . La fase de evaluación se da cuando el reloj está en alto, cortando el transistor PMOS. En esta fase, la salida puede “evaluar” y, según sea el caso, descargarse a través de la red de transistores NMOS. Para permitir un funcionamiento correcto de este tipo de puertas no debe haber un camino activo a tierra durante la fase de precarga, de modo que el transistor PMOS pueda precargar completamente la salida, sin el efecto de contención que pueden provocar los transistores NMOS. Esto se puede conseguir manteniendo las entradas en un estado bajo durante la fase de precarga. Sin embargo, cuando no es posible garantizar esto, se debe emplear un transistor NMOS conectado a la señal de reloj y ubicado en la parte inferior de la red de descarga.

Teniendo en cuenta esta última consideración, una puerta dinámica se compone de un transistor PMOS de precarga,  $T_{PR}$ , y un transistor NMOS llamado transistor *footer*,  $T_{FT}$ , ambos controlados por una señal de reloj y una red de transistores NMOS (PDN) que, determinan la funcionalidad de

la puerta, como se muestra en la Figura 1.1(a).

La funcionalidad de la puerta también puede implementarse con transistores PMOS (puertas PUN), formando una red de *pull-up* o PUN (Figura 1.1(b)). En este caso, el papel de los transistores P y N controlados por la señal de reloj se invierte. Las puertas con una red de descarga con transistores NMOS (puertas PDN) son más rápidas, ya que la movilidad de los electrones es mayor que la de los huecos.

Por simplicidad, en este apartado sólo se analiza el funcionamiento de una puerta con red PDN. En fase de precarga ( $CLK = 0$ ), el nodo de salida  $OUT$  se precarga a  $V_{DD}$ , a través del transistor de precarga  $T_{PR}$ , mientras que el transistor *footer*  $T_{FT}$  permanece cortado. En fase de evaluación ( $CLK = 1$ ), el transistor  $T_{PR}$  se corta y el transistor *footer* conduce. Dependiendo de la combinación de entradas ( $IN$ ), y de la funcionalidad implementada por la red PDN, existirá o no un camino de descarga entre el nodo de salida y tierra. En caso de que no exista, el nodo no se descarga y la salida permanecerá en un nivel de tensión de acuerdo a la carga almacenada en  $C_L$ . En caso contrario, el nodo se descarga y la salida de la puerta toma un nivel bajo. Consecuentemente, una vez descargado el nodo de salida, no podrá cargarse de nuevo hasta que tenga lugar una nueva fase de precarga.

En resumen, las principales características de este estilo de diseño son:

- Utiliza un menor número de transistores que la lógica estática. Mientras la lógica dinámica requiere  $N + 2$  transistores, la lógica estática emplea  $2N$ , donde  $N$  es el número de entradas de la puerta. Esto se traduce en una menor ocupación de área y, además, la capacidad equivalente de carga es menor respecto a otros estilos lógicos.
- La función lógica de la puerta puede implementarse con transistores PMOS o NMOS. Sin embargo, una red de descarga PDN, conformada por transistores NMOS exclusivamente, es más rápida que una red PUN de transistores PMOS.
- No presenta consumo estático, salvo las corrientes de fuga. Sin embargo, hay consumo de potencia asociado a la necesidad de precargar el nodo de salida en cada ciclo de reloj y a la red de distribución del reloj.

La velocidad de conmutación, asociada a la reducción de capacidades de carga y a que la evaluación se realiza exclusivamente con transistores NMOS, es una de las ventajas principales de la lógica dinámica. No obstante, este estilo lógico de diseño presenta algunas limitaciones que se describen a continuación.

### 1.1.1. Limitaciones de las puertas dinámicas.

Existen diferentes aspectos que se deben tener en cuenta para obtener un funcionamiento correcto de los circuitos dinámicos [10]:

**Corrientes de fuga.** Idealmente, cuando una puerta dinámica se encuentra en fase de evaluación y las entradas de la red PDN no activan un camino de descarga, la salida de la puerta se mantiene al nivel de tensión almacenado en la capacidad de carga  $C_L$ . Sin embargo, en la práctica, la carga almacenada tiende a desvanecerse con el tiempo, ocasionando problemas de operación. Esta fuga de carga tiene su origen en que la capacidad formada entre el nodo de salida y tierra está compuesta, en parte, por la capacidad de difusión de drenador de los transistores NMOS de la red PDN, lo que supone un diodo en inversa por el que circulará una pequeña corriente. Además, cuando se tiene una combinación de entradas que no provoca la descarga por la red PDN, inevitablemente se da una corriente de fuga que fluye de drenador a fuente.

Si bien esto no es un inconveniente en frecuencias de operación para las cuales la evaluación finalizará mucho antes de que ocurra una fuga considerable, sí representa un problema para los diseños en baja frecuencia o para sistemas que ejecuten interrupciones en sus procesos. Además, este problema se acrecienta por ejemplo, en puertas NOR con un elevado número de entradas, debido a la cantidad de caminos de descarga en paralelo. Estas puertas, por otra parte, se utilizan extensivamente en algunas de las aplicaciones típicas de lógica dinámica [11].

**Reparto de carga.** Nuevamente, durante la fase de evaluación, cuando la combinación de entradas de la puerta impide la descarga del nodo de salida, éste mantiene su valor de precarga. Pero si durante esta fase, una de las entradas aplicadas a un transistor cuyo drenador se conecta a la salida conmuta a nivel alto, la carga almacenada en la salida se redistribuiría entre la capacidad de carga y las capacidades parásitas de la red PDN, dando lugar a una caída en la tensión de salida que no puede recuperarse hasta la siguiente fase de precarga.

Existen distintas formas de contrarrestar este efecto. Una consiste en precargar también los nodos internos de la red PDN para que no perturben la salida. Esto se puede hacer conectando pequeños transistores de precarga. Sin embargo, implica un sobre costo en términos de área. Además, cada transistor de precarga agrega una capacidad de difusión adicional que

ralentiza levemente la puerta, por lo que es mejor precargar el menor número de nodos internos necesarios para satisfacer los márgenes de ruido.

**Acoplo capacitivo.** La alta impedancia del nodo de salida tiene como consecuencia una alta sensibilidad al ruido. Una pista enrutada sobre un nodo dinámico, puede acoplarse capacitivamente y provocar un fallo de funcionalidad cuando este nodo se encuentre en estado flotante. De igual manera, las entradas de una puerta dinámica experimentan esta sensibilidad, ya que el margen de ruido equivale a la tensión umbral del transistor y un poco de acoplamiento es suficiente para activar la puerta dinámica y crear un camino de descarga indeseado.

Existen distintas técnicas para evitar este fenómeno; una de ellas es hacer que las líneas adyacentes sólo cambien mientras que la puerta dinámica se encuentre en fase de precarga. Otra técnica consiste realizar diseños con pistas de conexión de corta longitud, de manera que la relación entre la capacidad de acoplamiento y la capacidad de carga sea pequeña y se reduzcan los problemas de ruido.

**Acoplamiento de reloj.** El acoplamiento de reloj es el efecto causado por el acoplo capacitivo entre la señal de reloj del transistor de precarga y el nodo de salida de la puerta dinámica. En este escenario la tensión en el nodo de salida puede subir por encima de la tensión de alimentación en una transición de bajo a alto del reloj cuando en la red de descarga no existe un camino activo. Esto puede hacer que los diodos parásitos pasen de estar cortados a estar en conducción, provocando una inyección de electrones en el sustrato que eventualmente podría provocar una operación incorrecta. El diseño de circuitos dinámicos de alta velocidad requiere una fase de simulación muy cuidada para garantizar, entre otras cosas, que los efectos de acoplamiento del reloj se mantengan dentro de los unos límites razonables.

**Interconexión de puertas dinámicas.** Otro problema que presenta este estilo de diseño se da cuando se conectan puertas dinámicas en cascada, como se muestra en la Figura 1.2. En este caso, las salidas  $OUT_1$  y  $OUT_2$  se ponen a nivel alto durante la fase de precarga. Cuando se produce una transición de 0 a 1 en la entrada  $IN$  durante la fase de evaluación, la salida  $OUT_1$  de la primera puerta comenzará a descargarse. Mientras sucede esta descarga, el transistor de entrada de la segunda puerta continúa conduciendo y no se corta hasta que el nivel de tensión en  $OUT_1$  esté por debajo de

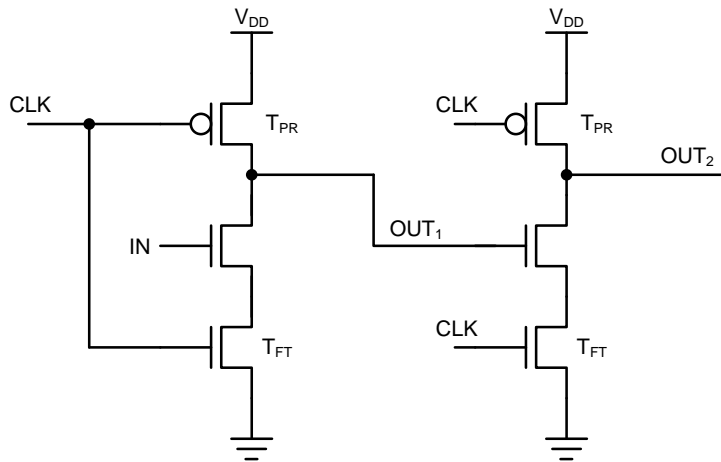


Figura 1.2: Conexión en cascada de puertas dinámicas.

su tensión umbral. Por tanto, la salida de la segunda puerta se descarga de forma errónea durante un intervalo de tiempo. Ya que la pérdida de la carga es irreversible, la salida de la segunda permanecerá en un estado bajo hasta la siguiente fase de precarga y, en consecuencia, el circuito producirá un resultado incorrecto.

Este problema surge porque la segunda puerta ve una transición de alto a bajo en una de sus entradas durante la fase de evaluación. Para evitarlo, las puertas dinámicas deben recibir únicamente transiciones de bajo a alto en la fase de evaluación. Es decir, los datos de entrada deben ser “monótonamente ascendentes”, lo que significa que la única transición permitida es de un estado bajo a uno alto. Una manera de lograr esta condición es insertar una puerta estática inversora tras cada puerta dinámica, como hace la lógica Dominó que se describe en el siguiente apartado.

### 1.1.2. Lógica Dominó.

Una puerta dinámica Dominó [12, 13], como la que se muestra en la Figura 1.3, se construye a partir de una puerta dinámica, idéntica en estructura y funcionamiento a la topología descrita anteriormente, y un inversor estático conectado a su salida. Durante la fase de precarga, el nodo dinámico se precarga a  $V_{DD}$  y la salida del inversor se descarga a un valor bajo.

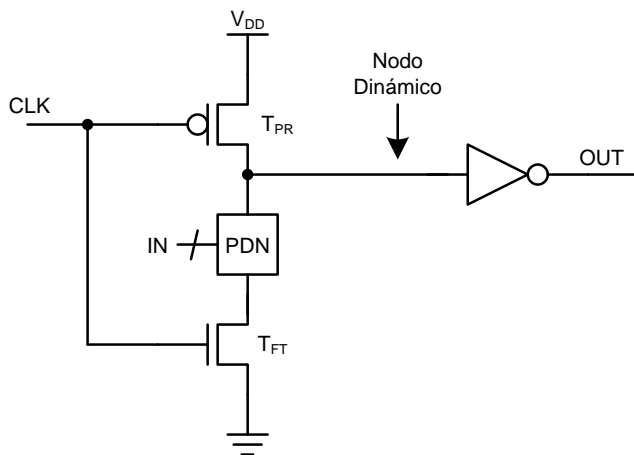


Figura 1.3: Puerta lógica Dominó.

En la fase de evaluación, cuando hay una combinación de entradas que permiten la descarga del nodo dinámico, la salida de la puerta realiza una transición de bajo a alto. Asumiendo que todas las entradas de la puerta son salidas de otras puertas Dominó, se asegura que sus entradas únicamente realicen transiciones de bajo a alto en la fase de evaluación y así se evita el problema de conexión en cascada de las puertas dinámicas convencionales. La introducción del inversor estático no sólo resuelve el problema de interconexión, sino que también ofrece ventajas en cuanto al *fan-out* de la puerta, mejorando la inmunidad al ruido y obteniendo mayor velocidad.

Una solución habitual en la topología Dominó para contrarrestar los efectos producidos por el ruido, las corrientes de fuga y el reparto de carga, consiste en emplear un transistor PMOS que ayude a mantener la tensión en el nodo dinámico, como se muestra en la Figura 1.4. Este transistor,  $T_{KP}$ , se conoce en la literatura como transistor *keeper*.

El transistor *keeper*, conectado entre la salida del inversor estático y el nodo dinámico, tiene como propósito evitar descargas indeseadas del nodo dinámico, manteniendo el nivel de tensión de precarga durante la fase de evaluación [14]. La carga en el nodo dinámico puede ser alterada por corrientes de fuga a través de los transistores, o por efecto del reparto de carga durante la evaluación o ruido a la entrada del circuito, como ya se ha expuesto.

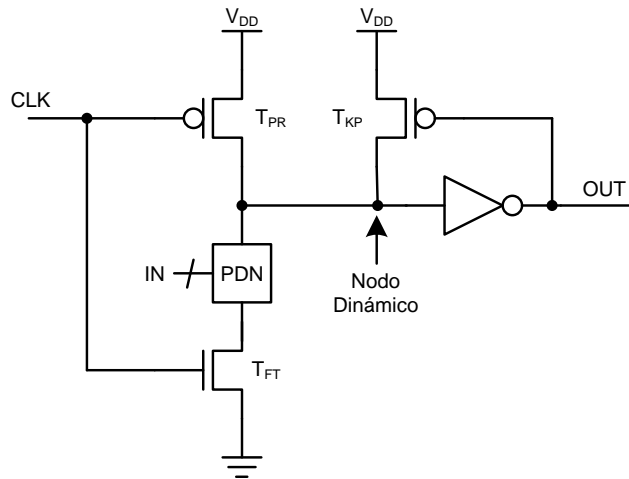


Figura 1.4: Puerta lógica Dominó con transistor *keeper*.

El tamaño del transistor *keeper* influye directamente en la tolerancia al ruido del circuito. Ésta se incrementa si el *keeper* es más fuerte. Sin embargo, al incrementar la fortaleza del *keeper*, se incrementa el retraso de la puerta. En otras palabras, un dimensionamiento fuerte del *keeper* hace que el nodo dinámico se descargue más lentamente debido a la corriente de contención del transistor de realimentación. Incluso un *keeper* muy fuerte podría impedir la descarga del nodo dinámico provocando un fallo de funcionalidad. Por tanto, es necesario mantener un compromiso entre la tolerancia al ruido y el retraso de la puerta.

Una característica negativa de la lógica Dominó es que únicamente permite implementar funcionalidad no inversora, lo que implica ciertas limitaciones para el diseño lógico. Existen diferentes estilos de diseño que proponen soluciones a partir de puertas que generan la función y su complemento (lógica doble raíl) [15–17]. Sin embargo, estas soluciones implican un sobrecosto en términos de área y de consumo de potencia.

**Lógica Dominó sin transistor *footer*.** Puesto que la salida de las puertas Dominó permanece en bajo durante la fase de precarga, resulta tentador eliminar el transistor *footer*. De esta manera se conseguiría reducir la carga del reloj y aumentar la velocidad de descarga del nodo dinámico. Sin embargo, eliminar el transistor *footer* puede extender el tiempo de precarga de la puerta. En caso de realizar una conexión en cascada con

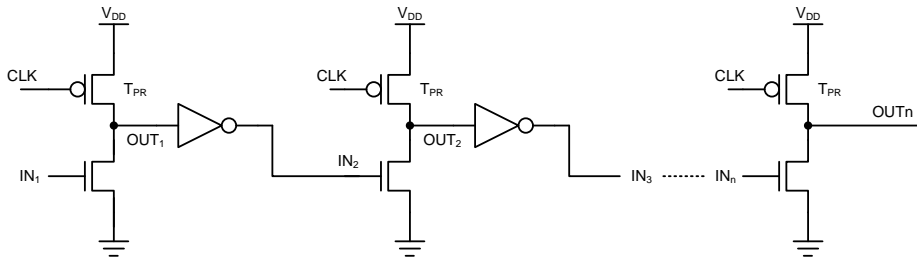


Figura 1.5: Puertas Dominó sin transistor *footer* conectadas en cascada.

este tipo de puertas con la misma señal de reloj, el valor de la precarga se propagaría a través de la red lógica.

En la Figura 1.5 se muestra una conexión en cascada de puertas Dominó sin transistor *footer*. La evaluación no se ve afectada, ya que las entradas únicamente realizan transiciones de bajo a alto. Sin embargo, en la fase de precarga, asumiendo que la entrada  $IN_1$  realiza una transición de alto a bajo, hasta que no se precargue la primera puerta, no puede completarse la precarga de la segunda y así sucesivamente. Además se produce un aumento en la disipación de potencia de cada puerta, hay corrientes de corto, ya que ambas redes de *pull-up* y de *pull-down* se encuentran activas.

No obstante, el uso de determinados esquemas de interconexión y sincronización permite la eliminación del transistor *footer*, como se describirá posteriormente. Es el caso de la lógica Dominó con reloj retrasado [18], la lógica Dominó sin transistor *footer* de doble rail [19] o la seudológica Dominó sin transistor *footer* [20].

**Lógica np-CMOS.** Un estilo de diseño alternativo a la lógica Dominó es np-CMOS [21]. Esta técnica resuelve el problema de la conexión en cascada de las puertas dinámicas mediante el uso alternado de redes de puertas PUN y PDN. En la Figura 1.6 se muestran dos puertas dinámicas conectadas en cascada en configuración np-CMOS. La primera puerta tiene implementada su funcionalidad con transistores NMOS (PDN), seguida de una segunda puerta con su funcionalidad implementada con transistores PMOS (PUN).

La configuración de la señal de reloj también está condicionada a la alternancia de puertas PDN y PUN. De esta manera, si las puertas PDN están controladas por la señal de reloj  $CLK$ , las puertas PUN estarán controladas por la señal de reloj complementada  $\overline{CLK}$  y viceversa. Durante la fase de precarga, la salida de la puerta PDN ( $OUT_1$ ) se carga a  $V_{DD}$ ,



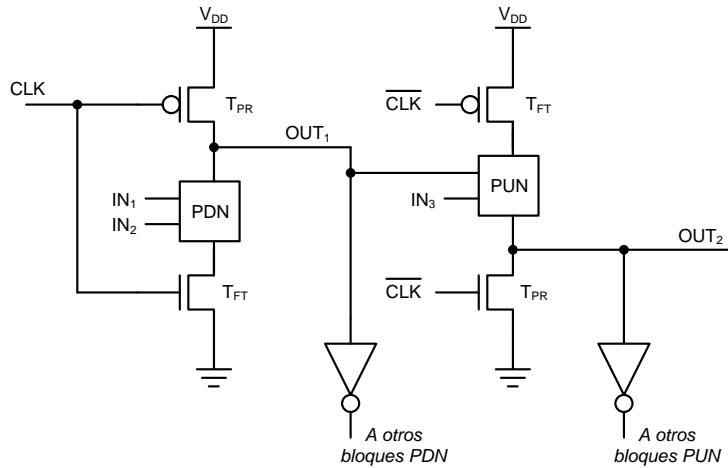


Figura 1.6: Estilo de diseño np-CMOS.

mientras que la salida de la puerta PUN ( $OUT_2$ ) se pre-descarga a tierra. Durante la evaluación, la salida de la puerta PDN sólo puede hacer una transición de alto a bajo, activando condicionalmente algunos transistores de la puerta PUN. Esto garantiza que no se produzca una carga indeseada de  $OUT_2$ . Al igual que ocurre en Dominó, cuando se conectan en cascada dos puertas del mismo tipo, las salidas de las puertas deben pasar por un inversor estático.

Si bien es una técnica que resuelve el problema de interconexión de las puertas dinámicas, tiene como desventaja que las puertas PUN, al contener en su mayoría transistores PMOS, son más lentas e incrementan las capacidades parásitas.

### 1.1.3. Operación de redes de puertas Dominó.

A diferencia de la lógica estática, las puertas Dominó están controladas por una señal de reloj. Si todas las puertas de una red lógica utilizan la misma señal de reloj, durante la fase de precarga ninguna está realizando una “operación útil”. Además, la fase de evaluación debe ser suficientemente extensa para permitir la propagación por toda la red. Por esta razón, estas redes operan en modo de *pipeline*, empleando un mínimo de dos fases de reloj.

En la Figura 1.7 se muestra un circuito de seis celdas *buffer* Dominó

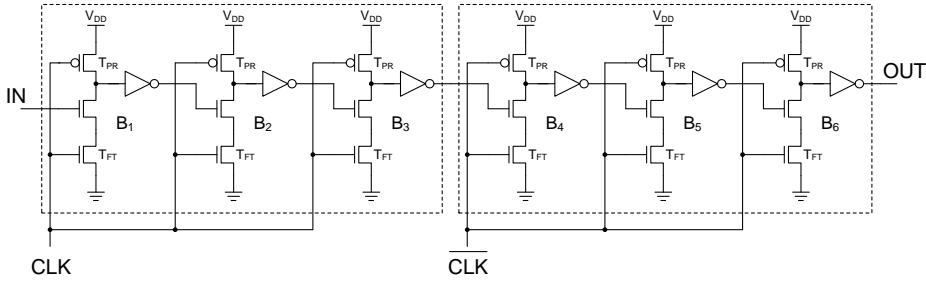


Figura 1.7: Operación de circuitos Dominó con dos fases de reloj.

conectadas en cascada. De los seis *buffer*, tres se controlan con la señal de reloj  $CLK$  y los tres restantes, con la señal de reloj  $\overline{CLK}$ . De esta manera, cuando los *buffers*  $B_1$ ,  $B_2$  y  $B_3$  se encuentran en fase de evaluación, los *buffers*  $B_4$ ,  $B_5$  y  $B_6$  se encuentran en fase de precarga y viceversa. Por tanto, el retraso de precarga no impacta negativamente en el diseño. Además, el camino crítico de evaluación viene determinado por la suma de los tiempos que requieren para evaluar las celdas (conectadas en cascada) controladas por una misma señal de reloj (en este caso, tres *buffers* en lugar de seis), permitiendo aumentar la frecuencia de operación [9].

Por otra parte, debido a la naturaleza paralela de la precarga, el retraso de precarga de cualquiera de los *buffer*  $B_4$ ,  $B_5$  y  $B_6$ , podría ser igual a la suma de los retrasos de evaluación de los *buffer*  $B_1$ ,  $B_2$  y  $B_3$ . En general, esta relación depende del número y tipo de celdas conectadas en cascada y controladas por una misma señal de reloj.

El análisis de operación realizado es excesivamente simple. En la práctica, esta arquitectura presenta dificultades que han limitado su aplicación. Uno de los desafíos es que se debe garantizar que cuando se cambie de fase, la siguiente puerta pueda capturar el dato antes de que el valor de precarga de la puerta anterior sobrescriba su resultado de salida. Aun cuando la operación nominal sea correcta, hay que tener en cuenta las variaciones de procesos y condiciones de operación, así como las no idealidades de las señales de reloj, ya que pueden llevar al diseño a un mal funcionamiento.

La operación *pipeline* natural de los estilos de diseño dinámicos hace conveniente el siguiente apartado de la Memoria, en el que se describen diferentes técnicas de segmentación de sistemas digitales, cubriendo desde los sistemas que emplean puertas estáticas con *flip-flops* y *latches*, hasta los sistemas que emplean puertas Dominó sin elementos de memoria.

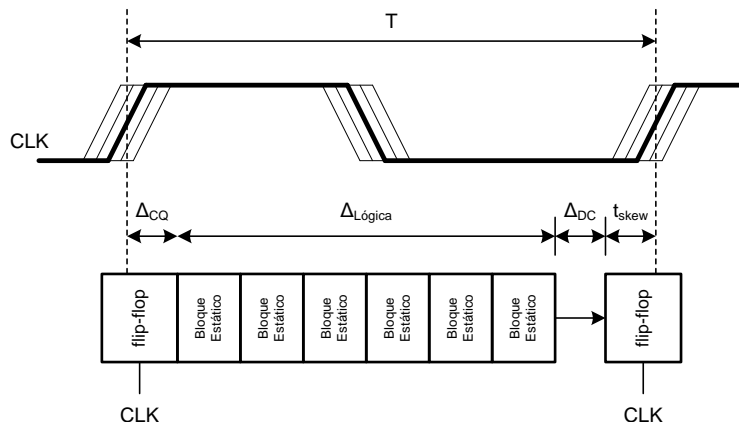


Figura 1.8: Etapa de un *pipeline* con *flip-flops* como elementos de memoria.

## 1.2. Segmentación de circuitos digitales.

La segmentación o *pipeline*, es una técnica empleada para aumentar las prestaciones de los sistemas digitales. Consiste en dividir la lógica combinacional en etapas (segmentos), insertando registros sincronizados con la señal de reloj (también llamados registros de *pipeline*) entre ellas. De esta manera, se acortan los caminos críticos (se reducen los retrasos de propagación de los caminos combinacionales) y el circuito puede funcionar a una mayor frecuencia de operación. En un *pipeline* ideal (con registros ideales y etapas con retrasos de propagación idénticos), las frecuencias de operación y el rendimiento del circuito (*throughput*) se multiplican por el número de etapas del *pipeline* y la latencia no se ve afectada. En la práctica, normalmente la latencia y la mejora teórica en frecuencia y rendimiento se degradan.

Existen distintas arquitecturas de *pipeline* según el tipo de elemento de memoria (*latches* o *flip-flops*) y el esquema de sincronización (número de fases de reloj) que se utilicen. En la Figura 1.8 se muestra el funcionamiento de una etapa de *pipeline* que utiliza *flip-flops* como elementos de memoria y una única señal de reloj. Esta etapa de *pipeline* consta de varios bloques estáticos delimitados por dos *flip-flops* disparados por flanco ascendente.

El período mínimo de la señal de reloj viene determinado por la suma del retraso de propagación del *flip-flop* origen, ( $\Delta_{CQ}$ ), el retraso de propagación de la lógica combinacional ( $\Delta_{lógica}$ ), y el tiempo de establecimiento del *flip-flop* destino ( $\Delta_{DC}$ ). Por tanto, el tiempo de cómputo disponible para

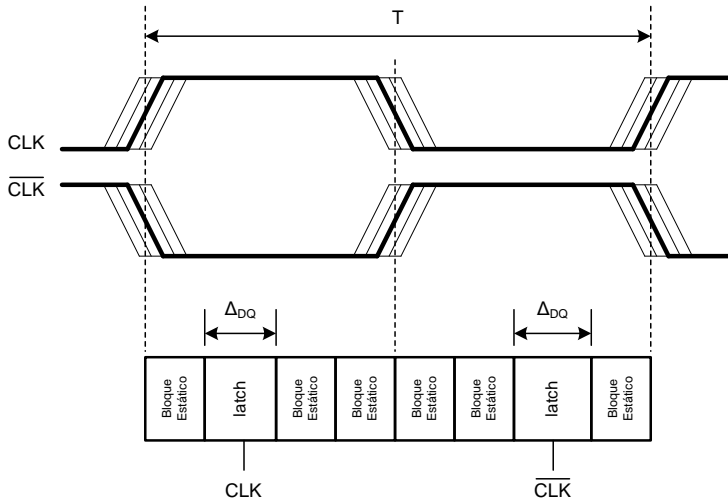


Figura 1.9: Etapa de un *pipeline* con *latches* como elementos de memoria.

la lógica combinacional, viene dado por:

$$\Delta_{logica} = T - \Delta_{CQ} - \Delta_{DC} \quad (1.1)$$

Desafortunadamente, en un sistema real, las señales de reloj presentan diferentes no idealidades (que denominamos conjuntamente *skew*), provocando que aquéllas lleguen a los distintos elementos del circuito en diferentes instantes de tiempo. Esto hace que se reduzca el tiempo útil de evaluación en cada ciclo de reloj. Por tanto, el tiempo de cómputo para la lógica combinacional queda expresado de la siguiente manera:

$$\Delta_{logica} = T - \Delta_{CQ} - \Delta_{DC} - t_{skew} \quad (1.2)$$

Otro de los problemas que afecta a esta arquitectura es que, en general, en los *pipeline* reales, los retrasos de cada etapa son diferentes (lógica desbalanceada). Esto se traduce en una degradación de la latencia. En resumen, los *pipeline* contruidos a partir de *flip-flops* tienen un sobrecoste en términos de área, potencia y de tiempo, debido a los *flip-flops*, al tiempo de *skew* y al tiempo que se “desperdicia” por la lógica desbalanceada.

Las penalizaciones de tiempo que exhiben los sistemas contruidos a partir de *flip-flops* pueden reducirse utilizando *latches* [22]. En la Figura 1.9 se muestra un segmento de un *pipeline* de lógica estática que emplea *latches* controlados por señales de reloj complementarias. En este ejemplo

se muestran datos que llegan a cada *latch* en la mitad del medio ciclo de reloj. Por lo tanto, el *latch* es transparente a la llegada de su entrada, ya que la señal de reloj se encuentra en alto y se propaga con retraso ( $\Delta_{DQ}$ ).

Por tanto, el tiempo de cómputo para la lógica combinacional viene dado por:

$$\Delta_{logica} = T - 2\Delta_{DQ} \quad (1.3)$$

Además, los *pipeline* contruidos con *latches* transparentes toleran mejor el *skew* impuesto por la señal de reloj y la lógica desbalanceada. Esto último se debe a un fenómeno llamado préstamo de tiempo (de ahora en adelante *time borrowing*). Como se muestra en la Figura 1.9, los datos pueden llegar a los *latches* más tarde o más temprano, siempre y cuando el *latch* sea transparente a estos. Esto es una ventaja de diseño ya que, si el *pipeline* no se encuentra perfectamente equilibrado, una etapa que requiere más tiempo para evaluar puede completarla durante el periodo de evaluación de la siguiente.

Aun cuando los sistemas contruidos a partir de *latches* transparentes también tienen penalizaciones asociadas a retrasos de propagación de los elementos de memoria, eliminan las penalizaciones asociadas a cantidades razonables de *skew* y de lógica desbalanceada, representando una mejora respecto a los sistemas contruidos con *flip-flops*, y por tanto, se justifica su empleo en sistemas de alto rendimiento.

### 1.2.1. *Pipeline* tradicional con puertas Dominó.

Como ya se introdujo en el apartado 1.1.3, la lógica Dominó tiene una adecuación natural a un estilo de operación *pipeline*, aunque se debe tener un especial cuidado en su diseño, ya que en el cambio de fase se podrían perder datos. Para evitarlo, un esquema de *pipeline* con puertas Dominó emplea *latches* transparentes entre etapas, como se muestra en la Figura 1.10.

Este *pipeline* es similar a los *pipeline* que emplean puertas estáticas con *latches*. Sin embargo, no presenta las ventajas discutidas para el caso estático. Esto es, los retrasos propios de los *latches* y el *skew* de la señal de reloj se suman a los caminos críticos que limitan la frecuencia de operación. Además, no permiten el *time borrowing* entre fases.

El esquema de la Figura 1.10 emplea *latches* que mantienen el resultado durante medio ciclo mientras las puertas de su fase precargan, y en el siguiente medio ciclo, puertas y *latch* evalúan. El dato debe llegar al *latch*

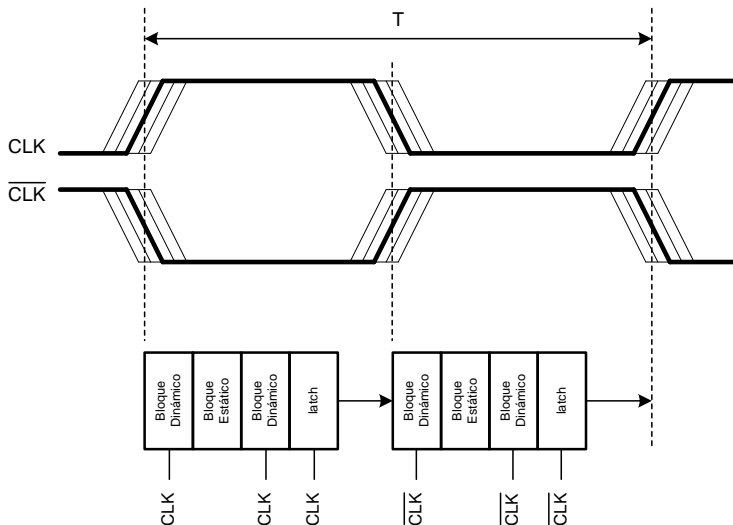


Figura 1.10: Temporización de *pipelines* Dominó con *latches*.

del primer medio ciclo con un tiempo suficiente antes de que la señal de reloj conmute a estado bajo. De esta manera, el dato se propaga a través del *latch*. El sobrecoste en tiempo de cada *latch* es el máximo de su tiempo de establecimiento y del retraso de propagación de su entrada a su salida [8]. Asumiendo que el retraso de propagación es más largo, el tiempo disponible de cómputo para la lógica combinacional en cada ciclo es:

$$\Delta_{logica} = T - 2\Delta_{DQ} \quad (1.4)$$

Sin embargo, en condiciones reales y en el peor de los casos, una gran cantidad de *skew* en la señal de reloj pueden llegar a provocar fallos funcionales en el *pipeline*. La primera puerta dinámica del medio ciclo y el *latch* pueden recibir relojes desfasados. En estas condiciones, la puerta dinámica podría recibir el reloj más retrasado, mientras que la entrada al *latch* debe cumplir con los tiempos de establecimiento del reloj más adelantado. Por lo tanto, el *skew* se tiene que sustraer de cada medio ciclo. Por lo que el tiempo de cómputo disponible para la lógica viene dado por:

$$\Delta_{logica} = T_C - 2\Delta_{DC} - 2t_{skew} \quad (1.5)$$

Al igual que ocurre con los *pipeline* que utilizan *flip-flops* como elementos de memoria, a un *pipeline* tradicional de puertas Dominó le afecta la lógica

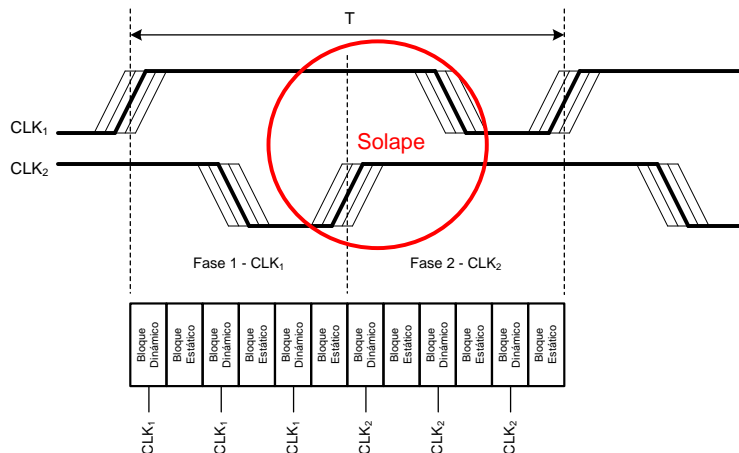


Figura 1.11: Temporización de un superpipeline Dominó.

desbalanceada. Las puertas no pueden obtener tiempo prestado del siguiente medio ciclo, por lo que una parte del retraso de puerta al final de cada medio ciclo se puede desperdiciar [8,23].

Existen distintas arquitecturas que utilizan *latches* dinámicos [24,25]. En particular, pertenece a esta categoría el estilo NORA CMOS [26] o TSPC [1,27]. Este último añade un *latch* a cada puerta dinámica, e intercala redes PDN y PUN operando con la misma señal de reloj.

### 1.2.2. *Superpipeline* Dominó.

Existen una variedad de esquemas de sincronización de *pipelines* Dominó creados por las compañías de microprocesadores, capaces de tolerar el *skew* y de realizar prestamos de tiempo entre fases de reloj y que se han aplicado con éxito para implementar circuitos con muy altas prestaciones [8,28].

En general, dichas técnicas se basan en utilizar fases de reloj solapadas. En [8] se realiza un análisis exhaustivo de este tipo de solución que denominamos *superpipeline*. La Figura 1.11 muestra la temporización de dos fases consecutivas de un *superpipeline* Dominó.

La principal ventaja de este tipo de circuitos es que no requieren de *latches* para mantener el resultado del cálculo de la primera fase y así poder utilizarlo en la segunda. En un *superpipeline*, un solape entre fases de reloj lo suficientemente amplio, permite que la primera puerta de la segunda fase tenga tiempo para evaluar antes de que la última puerta de la primera fase

comience a precargar, incluso en situaciones con *skew*.

Otra característica de este estilo de diseño es que se permite el préstamo de tiempo entre fases de reloj si el solape es suficientemente amplio en comparación con el *skew* del reloj. De esta manera, una puerta controlada por  $CLK_1$  puede completar su evaluación incluso cuando ya ha comenzado la fase de evaluación de  $CLK_2$ .

En resumen, el utilizar fases de reloj solapadas no sólo permite eliminar los *latches*, sino que contrarresta los efectos que a menudo afectan a los circuitos Dominó tradicionales como son el *skew* de reloj, los retrasos de los *latches* y la lógica desbalanceada. Aunque el empleo de dos fases de reloj solapadas es muy atractivo, es necesario controlar la cantidad de solape entre las dos señales de reloj para evitar problemas de deslizamiento, razón por la que usualmente se utilizan más de dos fases de reloj. Esta problemática será abordada en profundidad en el Capítulo 3.

### 1.3. Topologías alternativas.

En la topología Dominó es crítica la fortaleza relativa del transistor *keeper* con respecto a la red de *pull-down*. Esta relación impacta directamente en la velocidad de la puerta, y también determina su susceptibilidad a las corrientes de fugas o al ruido en las entradas. Si se hace el transistor *keeper* más fuerte para mejorar esto último, se incrementan los retrasos. En el pasado, Dominó exhibía un compromiso razonable entre la tolerancia al ruido y la velocidad, sin embargo, en las tecnologías profundamente submicrométricas (DSM), el diseño de puertas dinámicas robustas y rápidas se ha convertido en una tarea difícil [29–33].

A medida que se escala la tecnología, se reducen las tensiones de alimentación y con ellas las tensiones umbrales de los transistores. Esto se traduce en mayores corrientes de fugas y subumbrales. Además, se incrementa la variabilidad. En este escenario, la topología Dominó con transistor *keeper* no presenta compromisos entre la inmunidad al ruido y la velocidad satisfactorios. Se ha llegado a cuestionar, incluso, que se pueda beneficiar del escalado de la tecnología [34], ya que, mantener el mismo nivel de tolerancia al ruido, conllevaría un incremento de los retrasos que eliminaría las potenciales mejoras de velocidad asociadas al escalado. Esta problemática es especialmente relevante en el caso de puertas OR de un fan-in elevado, debido a los numerosos caminos de descarga del nodo dinámico, complicando su uso en aplicaciones de circuito que anteriormente se implementaban de forma eficiente con lógica dinámica, como los decodificadores de direcciones de los



*register files* [11].

El desarrollo de topologías que resuelvan estos problemas es un área de investigación muy activa y se han propuesto numerosas soluciones [35–58]. Se pueden clasificar en tres categorías. En la primera de ellas, las diferentes propuestas realizan cambios en la red de *pull-up* con circuitos que modifican el funcionamiento del transistor *keeper*. En la segunda categoría, los diseños se centran en realizar cambios en la red de *pull-down*, con circuitos que modifican el funcionamiento del transistor *footer* y/o la red de transistores de entrada. Finalmente, una tercera categoría comprende soluciones que dividen la red de *pull-down*.

En este apartado se describen las técnicas más representativas de cada categoría. Algunas de las topologías descritas modifican tanto la red de *pull-up* como la de *pull-down*.

### 1.3.1. Estilos de diseño que realizan cambios en la red de *pull-up*.

**Lógica Dominó de alta velocidad (*HS-Domino*).** La lógica Dominó de alta velocidad (*High Speed Domino*) [43] tiene como objetivo alcanzar un mejor compromiso entre velocidad y márgenes de ruido que en una técnica convencional como *CD-Domino Logic* [18] (será tratada en el Apartado 1.4 de este capítulo), con bajo consumo dinámico y una penalización en área mínima.

En la Figura 1.12 se muestra el esquemático de una puerta *HS-Domino*. Durante la fase de precarga, el nodo dinámico se encuentra precargado a  $V_{DD}$ . El transistor  $T_{N1}$  se encuentra cortado y el transistor  $T_{P3}$  activo, manteniendo cortado el transistor *keeper* ( $T_{P2}$ ) y eliminando la contención entre el transistor *keeper* y la red de descarga durante el inicio de la fase de evaluación.

Cuando el reloj retrasado toma un valor alto se plantean dos escenarios posibles. Por un lado, si el nodo dinámico se ha descargado (y la salida vale  $V_{DD}$ ), el transistor  $T_{N1}$  está activo y, por tanto, el transistor *keeper* cortado. En caso de que el nodo dinámico permanezca en alto, la tensión en la puerta del transistor *keeper* (la salida del inversor formado por  $T_{P3}$  y  $T_{N1}$ ) vale cero, activándolo para compensar las corrientes de fuga.

*HS-Domino* reduce en cierta medida el problema de contención manteniendo cortado el transistor *keeper* en el comienzo de la fase de evaluación. Por tanto, sería posible aumentar el tamaño del transistor *keeper* a medida que se reducen las tensiones umbral en tecnologías escaladas sin que esto implique pérdidas de velocidad por contención con la red de descarga du-

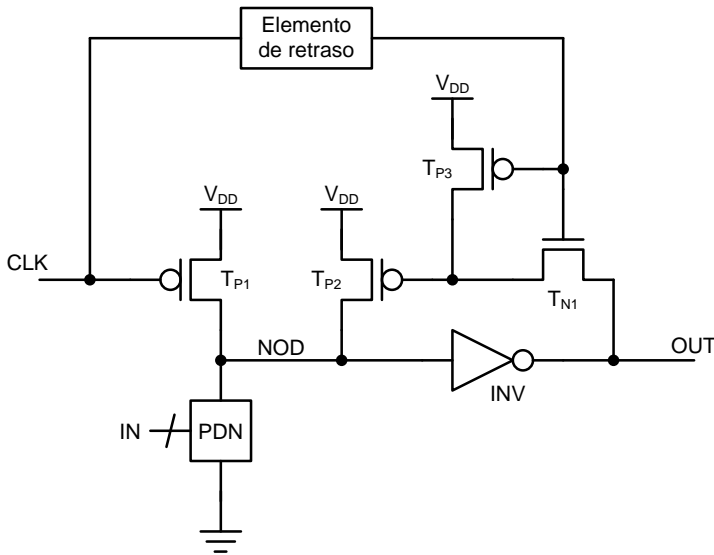


Figura 1.12: Topología *HS Domino*.

rante la fase de evaluación. Sin embargo, hay que tener en cuenta que, el transistor *keeper* está deshabilitado al comienzo de la fase de evaluación y el nodo dinámico se encuentra en estado flotante, por lo que hay un tiempo en el que la puerta es vulnerable a cualquier señal de ruido en las entradas.

Otro de los problemas reconocidos en esta técnica es que las corrientes de fuga mantienen unos valores elevados a pesar de la compensación del *keeper*, razón por la que estudios posteriores han buscado soluciones que emplean transistores de diferentes tensiones umbral (MTCMOS) [44, 59]: de baja tensión umbral en la operación normal y de alta tensión umbral durante la fase de *standby* para reducir las corrientes de fuga. Esta mejora ha sido implementada tanto en los circuitos *CD-Domino Logic* [46] como en circuitos *HS-Domino* [47], llamados *MTCMOS CD-Domino Logic* y *MHS-Domino* respectivamente.

Otra técnica llamada *clock delayed sleep mode domino logic (CDMS-Domino)* [48] propone un cambio en el circuito de control del *keeper* de *MHS-Domino*. Al igual que en los diseños anteriores, *CDMS-Domino* reduce la contención al inicio de la fase de evaluación cortando el *keeper* pero empleando un menor número de transistores que *MHS-Domino*, reduciendo así, los sobrecostos en términos de área y de disipación de potencia.

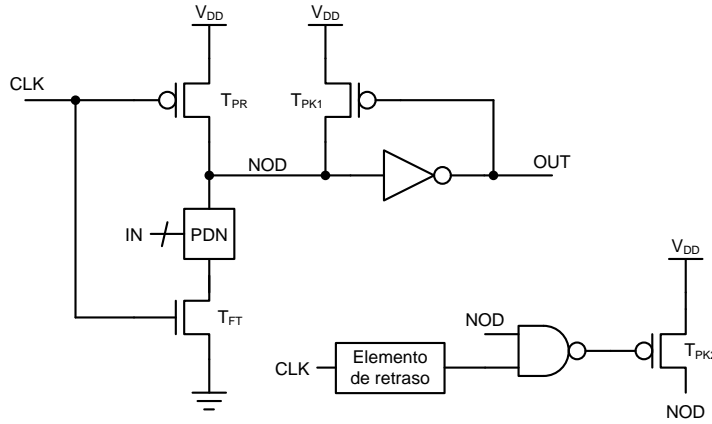


Figura 1.13: Topología Dominó con *keeper* condicional.

**Lógica Dominó con transistor *keeper* condicional (CKD).** A diferencia de los circuitos Dominó convencionales que emplean un único transistor *keeper*, en la lógica Dominó con *keeper* condicional [49], se usan dos, como se muestra en la Figura 1.13.

El transistor *keeper*  $T_{PK1}$  (*keeper* débil) tiene un comportamiento similar al del *keeper* de una puerta Dominó convencional, mientras que el transistor *keeper*  $T_{PK2}$  (*keeper* fuerte) tiene un comportamiento “condicional”. En el comienzo de la fase de evaluación, el *keeper* débil es el único que se activa. Tras un tiempo fijado por un elemento de retraso, la salida de la puerta NAND se descarga si no se ha descargado el nodo dinámico y, en consecuencia, se activa el *keeper* condicional.

Un *keeper* débil, activo durante la transición, da como resultado la reducción de la contención y una rápida transición a la salida, mientras que un *keeper* fuerte durante el resto del tiempo de evaluación proporciona robustez frente a las corrientes de fuga y al ruido. Dependiendo de los requerimientos de robustez de la puerta, se pueden aplicar diferentes estrategias a la hora de dimensionar ambos *keeper*.

Este concepto de particionar el transistor *keeper*, también se emplea en una técnica denominada *skew-tolerant high-speed domino logic* [50]. Está inspirada en la topología *HS-Domino*, resolviendo sus problemas de temporización, separando la señal de reloj retrasada que controla la siguiente etapa lógica de la estructura que controla el transistor *keeper* mediante la incorporación un elemento de retraso adicional.

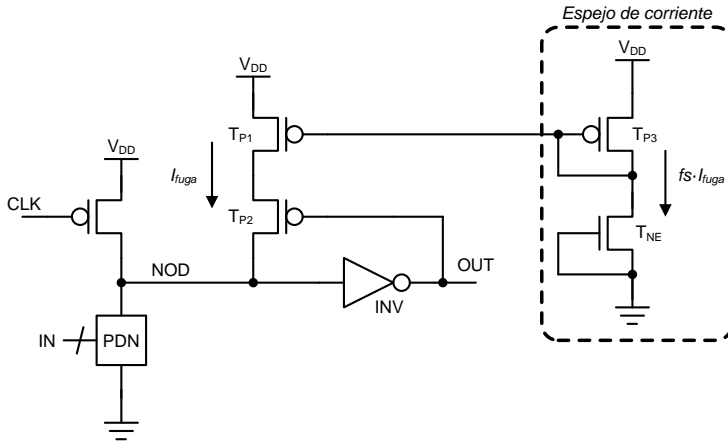


Figura 1.14: Topología Dominó con transistor *keeper* de réplica de corriente de fuga (LCR).

### Lógica con transistor *keeper* de réplica de corriente de fuga (LCR).

Otra propuesta para resolver el problema de las corrientes de fuga de la red de *pull-down* consiste en usar una corriente de referencia para compararla con las corrientes de fuga del circuito. Una de las técnicas que emplea esta idea es la llamada *Leakage Current Replica Keeper* (LCR) [51]. Ésta usa un espejo de corriente que sigue el comportamiento de cualquier proceso de córner, variaciones de tensión y temperatura. Una puerta dinámica LCR, como la que se muestra en la Figura 1.14, incorpora un transistor P conectado en serie con el transistor *keeper* y una estructura de espejo de corriente.

El espejo de corriente genera una réplica de la corriente de fuga ( $I_{fuga}$ ) a partir de la corriente sensada por el transistor  $T_{NE}$ ,  $fs \cdot I_{fuga}$ , donde  $fs$  es un factor de seguridad establecido por la relación de geometrías de los transistores. El transistor  $T_{NE}$  se usa para sensar la corriente de fuga de peor caso. Ésta corriente se copia a la puerta dinámica a través de  $T_{P1}$ .

La penalización por puerta en términos de área es igual al área del transistor  $T_{P1}$  más una porción del espejo de corriente, que puede ser compartido por todas las puertas que empleen esta misma topología.

**Lógica con transistor *keeper* controlado por comparación de corriente (CKCCD).** Uno de los estilos de diseño que permite una mayor robustez y reducir en gran medida las corrientes de fuga es CKCCD (*Con-*



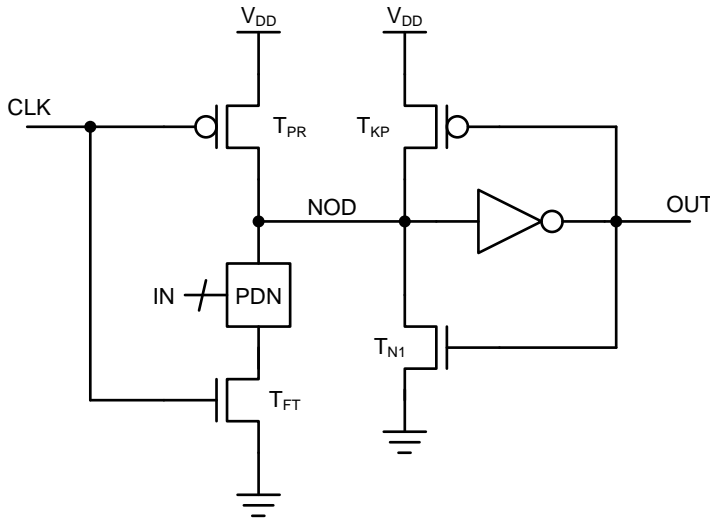


Figura 1.16: Topología Dominó con transistor *keeper* compensado.

se encuentra en un estado de reposo.

Durante la fase de precarga del nodo dinámico ( $\text{CLK}=0$ ), los transistores  $T_{PR}$ ,  $T_{PK}$  y  $T_{P1}$  conducen, mientras que  $T_{N1}$  y  $T_{N2}$  están cortados. En la fase de evaluación ( $\text{CLK}=1$ ),  $T_{PR}$  y  $T_{P1}$  están cortados, y se presentan dos escenarios en función de la relación entre la corriente de referencia y la que circula a través de la red PDN. En primer lugar, si la red PDN está completamente deshabilitada, la corriente que circula a través de ella es menor que la de referencia y el nodo K se descarga a cero activando el transistor *keeper*. Si la red PDN está habilitada, la relación entre las corrientes es la opuesta y el nodo K se mantiene a nivel alto deshabilitando el transistor *keeper* y, por tanto, favoreciendo la descarga del nodo dinámico.

**Lógica Dominó con transistor *keeper* compensado.** El circuito propuesto en [53] conecta un transistor NMOS  $T_{N1}$  al nodo dinámico, como se muestra en la Figura 1.16. Este transistor es el encargado de compensar la corriente de contención del transistor *keeper* y así mejorar la velocidad de descarga del nodo dinámico. En el comienzo de la fase de precarga, cuando el valor de tensión en el nodo dinámico es 0 V (y la salida está a un nivel lógico alto), el transistor  $T_{N1}$  se activa y se crea un camino a tierra para el nodo dinámico. En consecuencia, se crea una corriente de contención entre

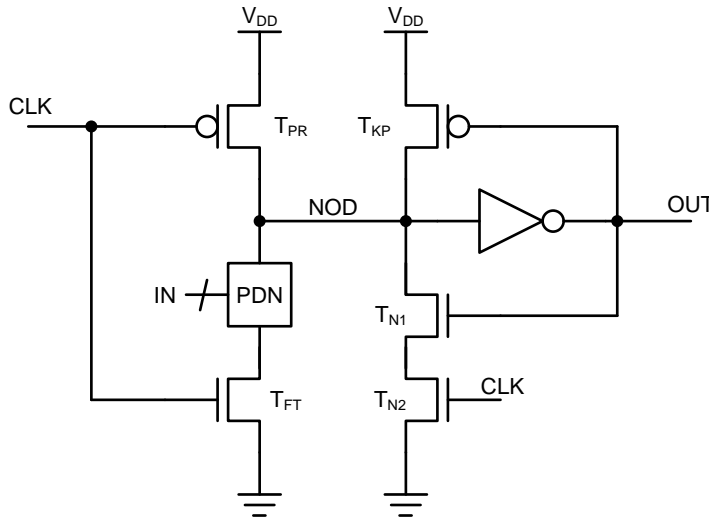


Figura 1.17: Topología Dominó con transistor *keeper* compensado mejorada.

el transistor de precarga y el transistor  $T_{N1}$ , siendo necesario dimensionar el primero con una relación  $W/L$  más grande que la de  $T_{N1}$ .

Durante la fase de evaluación, en caso de que la red PDN esté deshabilitada y sea necesario retener el valor de precarga en el nodo dinámico, el nodo de salida permanecerá en bajo y el transistor  $T_{N1}$  cortado. Por otro lado, en caso de que el nodo dinámico deba descargarse, durante el comienzo de la evaluación, el nodo de salida se encuentra en un estado bajo, por lo que el transistor  $T_{N1}$  se encuentra cortado y la descarga se inicia a través de la red PDN y el transistor *footer*. Sin embargo, cuando la tensión en el nodo de salida supera la tensión umbral del transistor  $T_{N1}$ , se crea un camino a tierra paralelo, que acelera la descarga del nodo dinámico.

Hay que tener en cuenta que la capacidad del nodo dinámico se incrementa con el sobredimensionamiento del transistor de precarga y el transistor  $T_{N1}$ . Un circuito como el de la Figura 1.16 es una buena alternativa mientras la capacidad del nodo dinámico no llegue al límite en el que la reducción de tiempo por parte del transistor  $T_{N1}$  sea más que compensado por la carga adicional en la capacidad del nodo dinámico.

Una mejora para este circuito se muestra en la Figura 1.17. Se conecta un transistor  $T_{N2}$  (controlado con la señal de reloj) en serie con el transistor  $T_{N1}$ . De esta manera, durante la fase de precarga, los transistores  $T_{N1}$  y

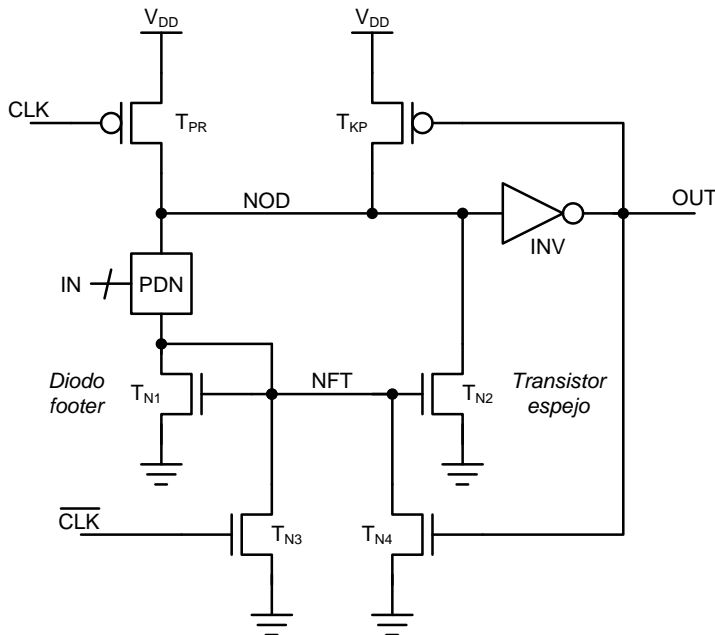


Figura 1.18: Topología Dominó con diodo *footer*.

$T_{N2}$  estarán cortados, evitando la contención generada al inicio de la fase de precarga. Esta mejora otorga la ventaja de reducir las corrientes de fuga subumbrales que provocan los transistores  $T_{N1}$  y  $T_{N2}$  debido al efecto de apilamiento. Además, no es necesario aumentar excesivamente el tamaño de  $T_{PR}$ .

### 1.3.2. Estilos de diseño que realizan cambios en la red de *pull-down*.

**Lógica Dominó con diodo *footer* (DFD).** La lógica Dominó con diodo *footer* es un estilo de diseño dirigido a reducir las corrientes de fuga en los circuitos Dominó, aumentar sus prestaciones en términos de velocidad y robustez [54]. La Figura 1.18 muestra el esquemático de esta topología.

Este circuito emplea un transistor NMOS en configuración de diodo, conectado en serie con la red PDN. El diodo *footer* ( $T_{N1}$ ) reduce las corrientes de fuga subumbrales debido al efecto de apilamiento, como se indicó anteriormente. Durante la fase de evaluación y debido a las corrientes de fuga de los transistores de la red PDN se produce una caída de tensión en



$T_{N1}$  que hace que la tensión puerta-fuente de los transistores de la red de evaluación que están deshabilitados (entradas a cero) sea negativa. Además, esta caída de tensión a través del diodo incrementa el efecto sustrato de los transistores de evaluación, que también ayuda a la reducción de las corrientes de fuga subumbrales e incrementa la tensión de conmutación de los transistores de evaluación, mejorando la inmunidad al ruido a costa de la degradación de velocidad de la puerta. Para evitarlo, se emplea el transistor  $T_{N2}$  para replicar la corriente de la red de evaluación y así facilitar un camino de descarga al nodo dinámico. Por tanto, la corriente de evaluación total es igual a la suma de la que circula a través de la red PDN y la replicada a través de  $T_{N2}$ .

El funcionamiento de este circuito se describe a continuación. El transistor *footer*  $T_{N3}$  está activo durante la fase de precarga, cortando el transistor  $T_{N2}$  y reduciendo las corrientes de contención durante la fase de precarga del reloj. El transistor  $T_{N4}$ , controlado con la salida de la puerta, descarga el nodo  $NFT$  y el nodo dinámico cuando la salida de la puerta esté en alto durante la fase de evaluación y haya un camino de descarga habilitado en la red PDN. Debido a la considerable reducción de las corrientes de fuga en la red de transistores de evaluación y dependiendo de la tecnología, con un dimensionamiento débil del transistor *keeper* podría ser suficiente.

**Lógica Dominó con transistor *footer* retrasado.** En esta topología se utiliza un transistor *footer* que está cortado en el inicio de la fase de evaluación y luego se activa para completar la evaluación de la puerta [55]. En la Figura 1.19 se muestra el esquemático del circuito, que tiene como propósito reducir las corrientes de fuga al inicio de la fase de evaluación. El circuito propuesto emplea el efecto de apilamiento para mejorar la inmunidad al ruido y la tensión del nodo  $NFT$  para reducir las corrientes de fuga durante el inicio de la evaluación.

Durante la fase de precarga el nodo dinámico se carga a  $V_{DD}$ , activando el transistor *keeper*  $T_{P2}$  y realizando una precarga mucho más rápida. Además, al inicio de esta fase el transistor *footer* se encuentra activo debido al elemento de retraso, descargando el nodo  $NFT$ . El transistor  $T_{N3}$  está activo, llevando al nodo  $NKP$  a un estado bajo y, en consecuencia, cortando al transistor  $T_{N2}$ . Tras el tiempo de retraso, el transistor *footer* se corta y la tensión en el nodo  $NFT$  dependerá del estado de las entradas de la red PDN.

Al inicio de la fase de evaluación y cuando todas las entradas son cero, el transistor *footer* está cortado y el nodo  $NFT$  flotante a una tensión tal que

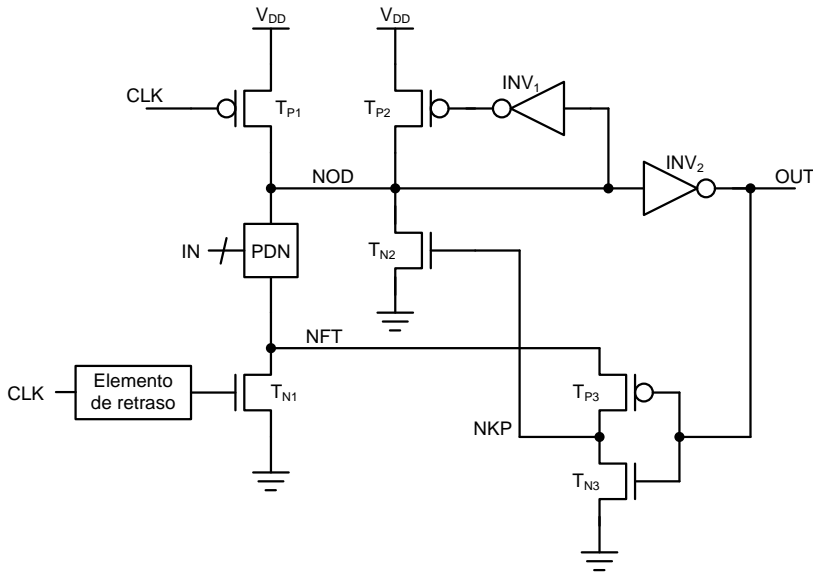


Figura 1.19: Topología Dominó con transistor *footer* retrasado.

permite reducir las corrientes de fuga y mejorar la inmunidad al ruido dado que la tensión puerta-fuente de los transistores de la red PDN disminuye. Por otro lado, cuando se habilita la red de descarga, la tensión en el nodo *NFT* aumenta, y con ella la del nodo *NKP*, activando el transistor  $T_{N2}$  al inicio de la fase de evaluación (cuando el transistor *footer* está aún cortado). Al activarse el transistor *footer* el nodo *NFT* se descarga, cortando a su vez el transistor  $T_{P3}$ . Cuando el nodo de salida se carga a  $V_{DD}$  se activa  $T_{N3}$ , descargando *NKP* y cortando  $T_{N2}$ . El resto de la descarga del nodo dinámico se realiza a través de la red PDN.

### Lógica Dominó con red de *pull-up* a partir de transistores NMOS.

Otra topología que mejora la tolerancia al ruido en los circuitos lógicos dinámicos se presenta en [56]. En este esquema la función lógica se implementa por medio de una red de evaluación de *pull-up*, que está formada por transistores NMOS exclusivamente. La Figura 1.20 muestra el esquemático de esta topología.

En la fase de precarga (CLK="0") se activa el transistor  $T_{N1}$  y el nodo dinámico se pre-descarga a tierra. En la fase de evaluación,  $T_{N1}$  se corta y la red de *pull-up* puede cargar el nodo dinámico a un estado alto, en caso

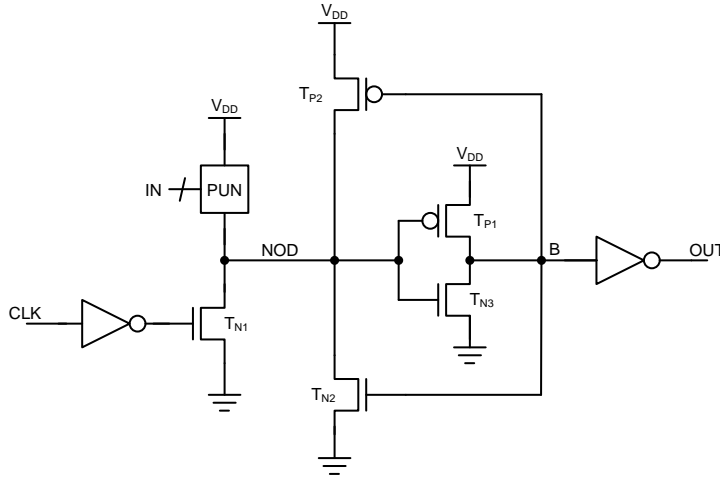


Figura 1.20: Topología Dominó con red de *pull-up* a partir de transistores NMOS.

de existir un camino activo. En este caso la tensión en el nodo dinámico es de  $V_{DD} - V_{TH}$ , siendo  $V_{TH}$  la tensión umbral de los transistores NMOS de la red de evaluación (PUN). Esta caída de tensión se compensa con el transistor  $T_{P2}$ . El inversor estático entre el nodo dinámico y el nodo  $B$  permite la implementación de una funcionalidad no inversora.

Al utilizar una red de *pull-up* NMOS, esta técnica persigue mejorar la tolerancia al ruido de la puerta. De hecho, cuando se aplica un pulso de ruido a una de las entradas, las corrientes de fuga generadas en la red de *pull-up* aumentan temporalmente y tienden a cargar el nodo dinámico. Sin embargo, este efecto no deseado se contrarresta con la reducción de la tensión puerta-fuente de los transistores NMOS que hacen que la corriente subumbral disminuya.

### 1.3.3. Estilos de diseño que dividen la red de *pull-down*.

**Lógica Dominó con diodo particionado (DPD).** Esta técnica, modifica la red de *pull-down* colocando diodos para dividir y reducir las capacidades parásitas presentes en el nodo dinámico y mejorar su velocidad [57]. En la Figura 1.21 se muestra el esquemático de una puerta con diodo particionado, donde el nodo dinámico se divide en  $N$  partes con  $N$  diodos. En este ejemplo, el nodo dinámico ( $NOD$ ) se particiona en los nodos

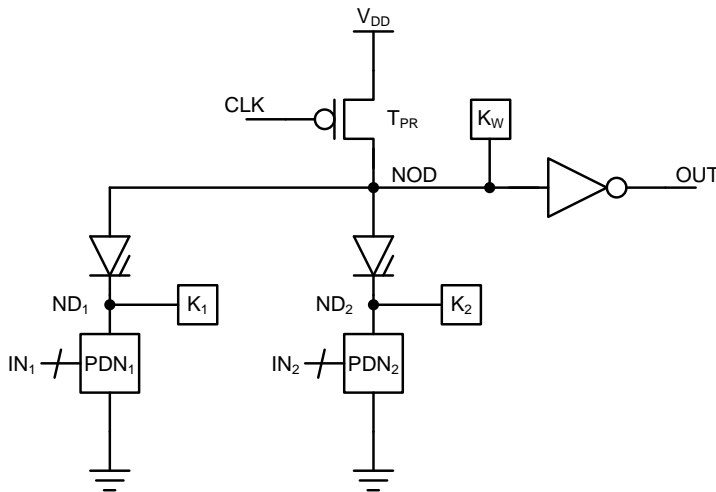


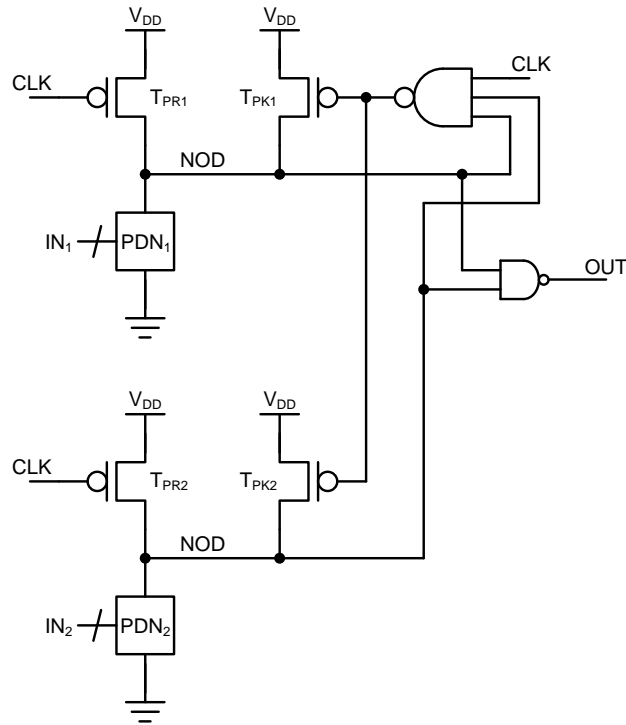
Figura 1.21: Topología Dominó con diodo particionado (DPD).

$ND_1$  y  $ND_2$  y de igual manera, se dividen los transistores *keeper* dentro del circuito, con un dimensionamiento equitativo entre las particiones.

Además de los *keepers* de cada partición, se emplea un transistor *keeper* adicional  $K_W$  para obtener una mayor robustez en el circuito. El dimensionamiento de este *keeper* puede ser débil ya que los *keeper* de las particiones son los que le dan al circuito una mayor inmunidad al ruido. Una de las ventajas que tiene el realizar estas particiones es que la corriente de contención es  $N$  veces más pequeña en comparación con la de una puerta Dominó convencional. El dividir el *keeper* no supone una pérdida de robustez en el circuito, ya que la red PDN del circuito original también se divide.

**Lógica Dominó dividida (*Split Domino* (SD)).** La lógica Dominó *split* (SD) [58] es una solución que busca mejorar el consumo de potencia, la robustez y la reducción de las corrientes de fuga. En circuitos Dominó con un alto *fan-in*, la lógica SD reduce el impacto de las corrientes de fuga dividiendo la red de descarga en dos redes individuales.

En la Figura 1.22 se muestra el esquemático de esta técnica que también divide al *keeper* entre las dos redes, de esta manera se crean dos nodos dinámicos que se conectan a una puerta NAND a la salida del circuito. Como resultado de esta división, se reduce la capacidad en el nodo dinámico y, en consecuencia, se obtiene una evaluación más rápida de la puerta.

Figura 1.22: Topología Dominó *split*.

La operación del circuito se describe a continuación: en la fase de precarga, los transistores *keeper* permanecen cortados y la salida en bajo. En el comienzo de la fase de evaluación, los transistores *keeper* se mantienen cortados manteniendo al mínimo la contención. Durante la evaluación de la puerta pueden ocurrir dos casos que analizaremos para una puerta tipo OR. En primer lugar, cuando todas las entradas están a cero y las corrientes de fuga están al máximo, los transistores *keeper* controlados por la puerta NAND de tres entradas se activan para evitar la descarga indeseada de los nodos dinámicos. Esta puerta NAND está diseñada de tal manera que puede realizar una descarga muy rápida de su salida en caso de que todas las entradas permanezcan en bajo y, por tanto, activar más rápido los transistores *keeper*. El segundo caso se produce cuando cualquier entrada está en alto. En este escenario, el nodo dinámico descarga más rápido debido a que se ha reducido la capacidad en este nodo al dividir la red PDN.

## 1.4. Arquitecturas alternativas.

De la misma forma que se han propuesto numerosas topologías de puertas dinámicas, también se han desarrollado distintos esquemas de interconexión y sincronización para su operación (arquitecturas) con el objetivo solventar determinadas limitaciones de la lógica Dominó.

Ya se ha señalado las limitaciones que, para el diseño lógico, supone el hecho de que las puertas Dominó implementan funcionalidad no inversora, y las implicaciones que esto tienen sobre el coste en área y potencia de las soluciones de tipo *dual-rail*. Se han reportado distintas arquitecturas que permiten interconectar puertas dinámicas inversoras.

Otra dificultad se asocia a la reducción del número de niveles lógicos por fase de pipeline, impuesta por los requisitos de velocidad de aplicaciones de altas prestaciones y en particular, por el pipeline a nivel de puerta. Así, el diseño con una puerta por fase (*nanopipelines*) con dos fases de reloj, atractiva desde el punto de vista de incrementar el rendimiento, es muy laborioso debido a problemas de deslizamiento (*race-through failure*) y en la práctica algunas de las arquitecturas de este tipo vuelven a incorporar *latches* [60].

En este apartado se describen distintos esquemas de interconexión reportados en la literatura. Se han clasificado en tres grupos: arquitecturas que utilizan relojes retrasados en etapas consecutivas, arquitecturas que utilizan relojes distintos para la precarga y para la evaluación de las puertas y arquitecturas que integran puertas y *latches* dinámicos.

### 1.4.1. Arquitecturas basadas en el uso de relojes retrasados.

**Lógica Dominó de reloj retrasado (*Clock Delayed Domino CD-Domino*).** Esta arquitectura propuesta en [18, 61] resuelve la primera de las limitaciones mencionadas, permitiendo conectar tanto puertas dinámicas (sin el inversor de salida de la lógica Dominó) como etapas Dominó. Esto se logra usando relojes retrasados en niveles lógico consecutivos. Cada puerta *CD-Domino* se construye a partir de una puerta dinámica o Dominó, y un elemento de retraso (en caso de ser necesario), como se muestra en la Figura 1.23.

El principio de funcionamiento de esta arquitectura se basa en retrasar el flanco de subida de la señal de reloj para la siguiente etapa lógica, asegurando el establecimiento de sus entradas cuando comienza su fase de evaluación. De esta manera, la señal de reloj a la salida del elemento de retraso indica a la siguiente puerta cuándo está disponible su dato de entrada. Por tanto,

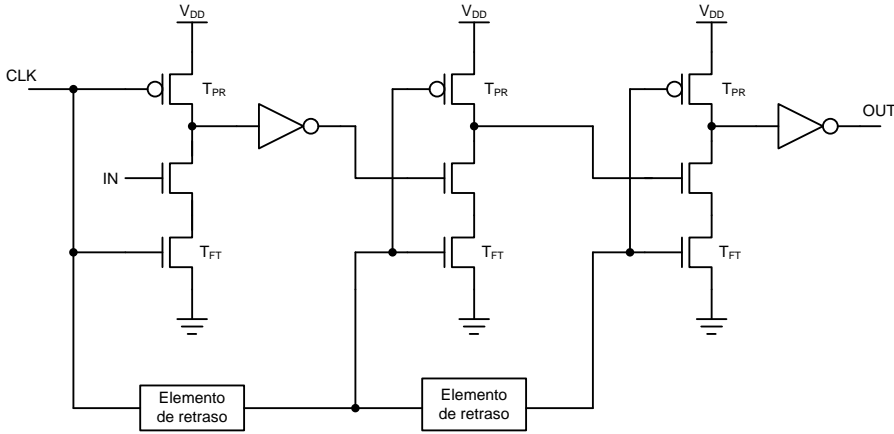


Figura 1.23: Interconexión de puertas dinámicas con reloj retrasado (*CD-Domino*).

este retraso siempre debe ser mayor que el retraso de peor caso de la puerta dinámica más un margen de seguridad.

Una red con puertas *CD-Domino* puede implementarse con dos esquemas de reloj diferentes. El primer esquema es similar al expuesto en [62]. Sólo la puerta más lenta de cada nivel lógico necesita un elemento de retraso. La señal de reloj a la salida de dicho elemento es empleada por las puertas de la siguiente etapa. Las salidas en este esquema de reloj deben esperar a la puerta más lenta en cada etapa lógica. De esta manera, su velocidad viene determinada por la puerta más lenta de cada etapa lógica y no necesariamente por el retraso del camino crítico.

En el segundo esquema de reloj, la temporización se realiza haciendo que cada puerta use la señal de reloj proveniente de la puerta que genera su entrada más lenta, en lugar de emplear la misma señal de reloj para todas las del mismo nivel lógico. En caso de que la salida de una puerta no sea la entrada más lenta de alguna puerta, entonces no necesita un elemento de retraso. Empleando unos pocos elementos de retraso adicionales, las salidas del circuito se evalúan más rápido, ya que las puertas no tienen que esperar la señal de reloj proveniente del elemento de retraso de la etapa anterior.

También se ha propuesto el uso de relojes retrasados para reducir las corrientes y el consumo de potencia cuando se usa lógica Dominó sin *footer* [45,63].

**Lógica de predicción de salida (*Output prediction logic OPL*).** Esta técnica fue propuesta en [64, 65] y es aplicable a una variedad de familias lógicas (estáticas y dinámicas) de funcionalidad inversora y tiene como fin aumentar la velocidad conservando los atributos de la topología a la que se aplica. Se inspira en la propiedad inversora de la lógica CMOS estática, en la que la salida de cada puerta dentro de un camino crítico debe realizar transiciones alternantes de “0” a “1”, o de “1” a “0” en el peor de los casos. OPL mejora este comportamiento de peor caso al precargar en alto la salida de cada puerta antes de evaluar (predecir). Con esto estaremos prediciendo correctamente la mitad de las salidas de las puertas del camino crítico.

Aplicado a la lógica dinámica se traduce en conectar directamente etapas dinámicas (sin inversor de salida), retrasando para ello el reloj de puertas consecutivas como *CD-Domino*. A diferencia de esta otra técnica, excluye el uso de etapas Dominó para conservar el carácter inversor de las puertas en el que se fundamentan las ventajas de velocidad de OPL.

Ambas arquitecturas de interconexión propuestas en este apartado son técnicas de circuitos autotemporizados que dependen de una sincronización precisa entre los retrasos del reloj y la lógica para todos los posibles córners de diseño. Esto representa un reto considerable en el caso de tecnologías profundamente submicrométricas.

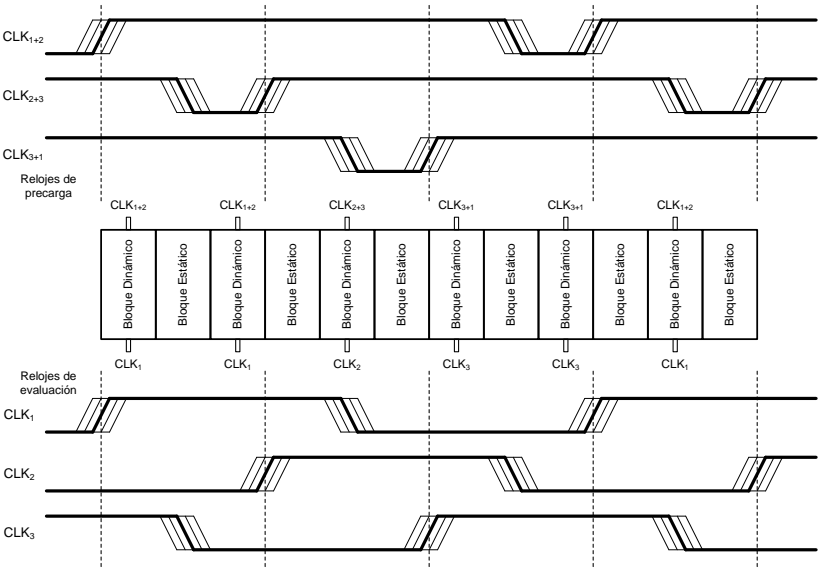
#### 1.4.2. Arquitecturas que utilizan relojes distintos para la precarga y la evaluación.

Describimos bajo este epígrafe técnicas para implementar *pipelines* con lógica dinámica sin elementos de memoria. En este sentido son alternativas al *superpipeline* descrito en el apartado 1.2.2. A diferencia de este último, permiten implementar lógica inversora sobre la base de utilizar fases de reloj distintas para la evaluación y para la precarga de las puertas.

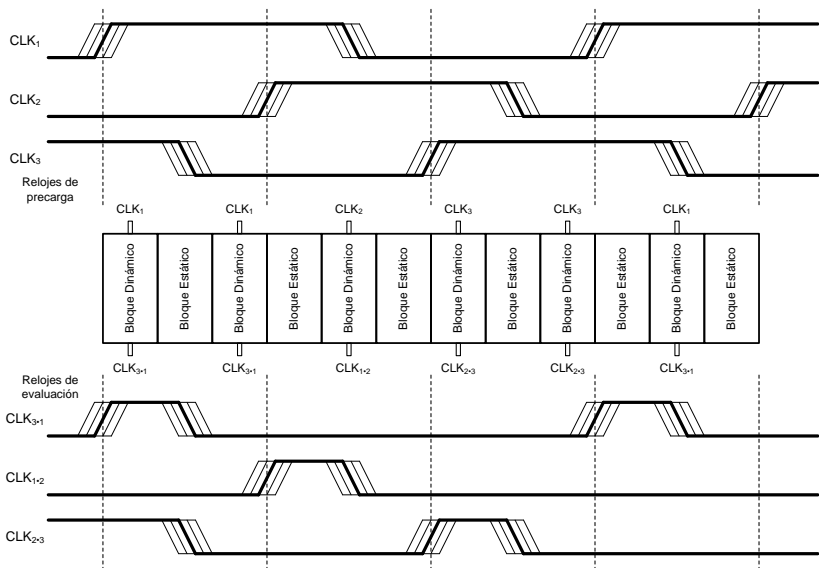
##### **Lógica sincronizada Dominó (*Clock logic domino CL-Domino*).**

Uno de los esquemas propuestos para la temporización del *pipeline* consiste en retrasar la precarga de la fase previa hasta el final del período de evaluación de la fase actual [66]. Esto se logra ampliando el *duty cycle* de la señal de reloj de precarga. En la Figura 1.24(a) se muestra el esquema con tres fases de reloj (que corresponde con el mínimo posible). Esta implementación de *CL-Domino* es conocida como “Precarga-OR / Evaluación-Dominó” ya que las señales de precarga son una función lógica OR de los relojes utilizados en un esquema de reloj de múltiples fases.





(a) Precarga-OR.



(b) Evaluación-AND.

Figura 1.24: Arquitecturas *CL-Domino*.

Por ejemplo, las puertas de la primera fase del *pipeline* evalúan con  $CLK_1$  y precargan con  $CLK_1 + CLK_2$ , siendo  $CLK_2$  la señal de evaluación de la siguiente fase. Esta operación entre fases se implementa a nivel de puerta, sustituyendo el transistor de precarga por dos transistores en serie. Uno controlado por  $CLK_1$  y otro por  $CLK_2$ .

Un segundo esquema de reloj presentado también en [66] consiste en finalizar la evaluación de una fase de manera anticipada. Esto se logra limitando el período de evaluación hasta el momento en que el reloj de la fase anterior baja, como se muestra en la Figura 1.24(b). Esta segunda implementación es conocida como “Precarga-Dominó / Evaluación-AND” ya que las señales de reloj de evaluación son una función lógica AND de los relojes utilizados en un esquema de reloj de múltiples fases.

Al comparar los esquemas de Precarga-OR con Evaluación-AND, este último ofrece más tolerancia al *skew* debido a que la operación de precarga no se ve afectada. Sin embargo, el tiempo útil por ciclo se reduce en comparación con el esquema de Precarga-OR.

En ambos casos, las puertas dinámicas presentan tres fases en su operación: precarga, evaluación y mantenimiento o memoria, con lo que es posible eliminar los *latches* de un *pipeline* convencional e implementar funcionalidad inversora.

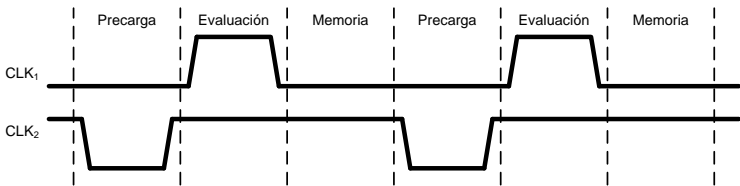
**Técnica de *pipeline* sin elementos de memoria.** Otro estilo de diseño basado en hacer trabajar las puertas dinámicas en tres modos de operación es conocido como *memory less* [67, 68]. De manera similar a como ocurre en *clock logic*, en la fase de memoria, los transistores de control (precarga y *footer*) están cortados y la salida mantiene el estado de la última evaluación. También, durante esa fase de memoria, los valores de entrada en la red PDN no afectan la salida de la puerta.

A diferencia de *clock logic*, la topología de la puerta no se modifica, sino que las fases de reloj se generan externamente.

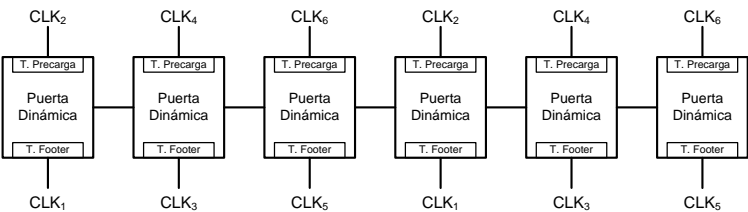
Para obtener un funcionamiento correcto a nivel de *pipeline* es necesario que cada puerta pase continuamente por las tres fases de operación en el siguiente orden: precarga, evaluación y memoria. La Figura 1.25(a) muestra el esquema de temporización de una puerta que usa dos fases de reloj.  $CLK_1$  controla el transistor *footer* y  $CLK_2$  el de precarga.

Un *pipeline* con un esquema de reloj de tres fases se muestra en la Figura 1.25(b). Las tres señales de reloj ( $CLK_1$ ,  $CLK_3$  y  $CLK_5$ ) y sus complementos ( $CLK_4$ ,  $CLK_6$  y  $CLK_2$ ), se muestran en la Figura 1.25(c).

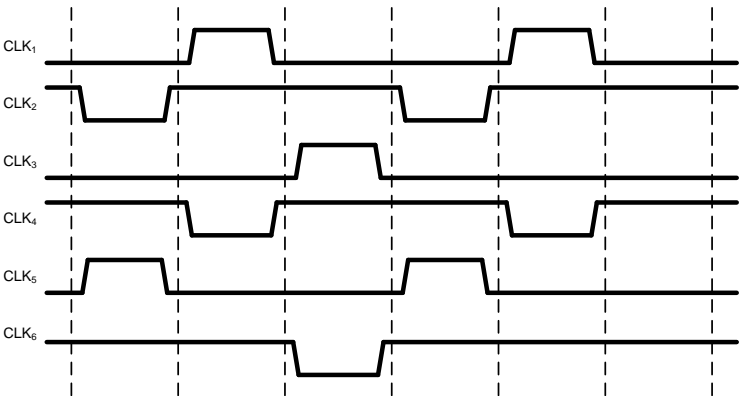
Este estilo de diseño permite la implementación de puertas con funcio-



(a) Esquema de temporización para una puerta *Memory Less*.



(b) Estructura de *pipeline* con tres fases de reloj.



(c) Esquema de tres fases de reloj.

Figura 1.25: Arquitectura *Memory Less*.

alidad inversora y no inversora. Tiene la desventaja de requerir señales de reloj adicionales. Aunque la generación de estas señales de reloj es un gasto único que no aumenta con la complejidad del circuito.

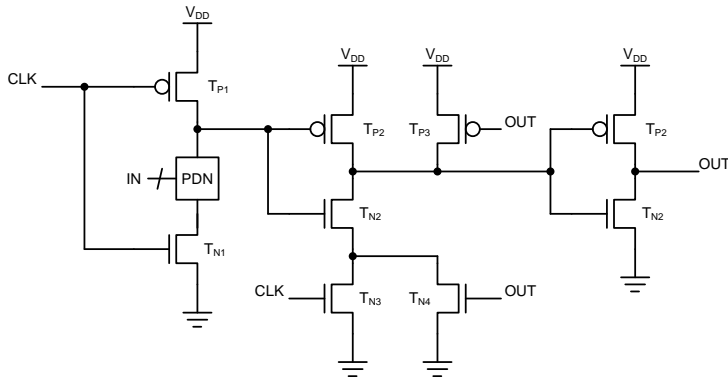


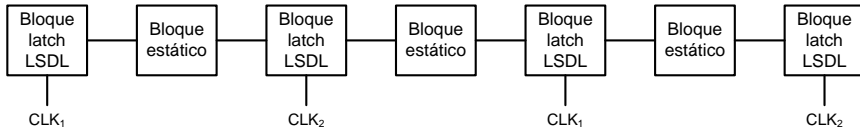
Figura 1.26: Topología LSDL.

### 1.4.3. Arquitecturas que añaden *latches* a las puertas dinámicas.

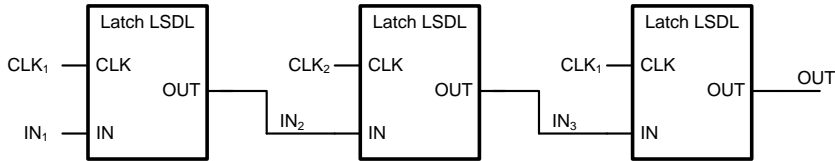
**Lógica dinámica de conmutación limitada (*Limited switch dynamic logic LSDL*).** Esta arquitectura combina propiedades de los circuitos estáticos y dinámicos [69–71]. LSDL tiene como objetivo reducir la penalización de consumo tradicionalmente asociada a los circuitos dinámicos y ocupar menos área que los circuitos dinámicos convencionales [72]. Para lograr su objetivo, LSDL combina una interfaz Dominó con un *latch* como se muestra en la Figura 1.26.

Uno de los problemas de consumo de potencia en los circuitos Dominó radica en que el nodo dinámico debe precargarse en cada ciclo de reloj, incluso para una entrada constante a “1” lógico. Esto también ocurre en LSDL, pero mientras en Dominó, el nudo de salida de la puerta también se carga y descarga repetidamente en dicha situación, en LSDL, debido al *latch*, el nodo de salida permanece constante. Puesto que el nodo de salida es generalmente el más capacitivo esto representa una ventaja significativa en términos de potencia.

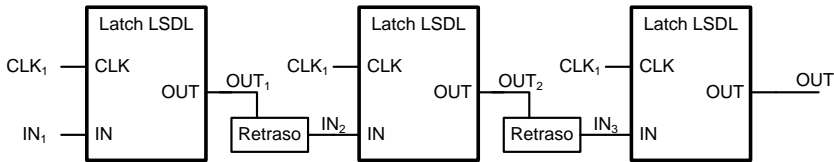
También se ha argumentado que al disponer de una etapa de salida con dos niveles lógicos, se tiene mayor flexibilidad de diseño para manejar su carga capacitiva, lo que permite reducir el tamaño de los transistores de la etapa dinámica. Esto, junto con el uso de relojes pulsantes que proponen, se traduce en que es posible reducir también el tamaño de los transistores de precarga, reduciendo así también la potencia asociada a la conmutación del reloj. Además, el *latch* permite intercalar lógica estática inversora y no



(a) Con lógica estática.



(b) Nanopipeline con dos fases de reloj.



(c) Nanopipeline con una fase de reloj.

Figura 1.27: Arquitecturas LSDL.

inversora entre puertas LSDL, haciendo innecesaria la lógica doble rail.

La inclusión de *latches* en cada puerta LSDL tiene implicaciones desde el punto de vista de la implementación de *pipelines* y por eso se ha incluido en ese apartado. En primer lugar se ha propuesto utilizarlos para reemplazar los latches en *pipelines* de dos fases de procesadores de altas prestaciones (Figura 1.27(a)). En estos casos se usan relojes con *duty cycle* reducido para disminuir la problemática asociada a las corrientes de fuga durante la fase de evaluación y eliminar el transistor *keeper* que protege el nodo dinámico [70].

También se han reportado diseños muy competitivos prácticamente eliminando la lógica estática entre puertas LSDL. Esto es implementando un *pipeline* con una puerta por fase de reloj (*nanopipeline*) como se muestra en la Figura 1.27(b). En algunos casos puede ser necesario añadir inversores entre dos etapas LSDL para manejar cargas asociadas a las interconexiones. En el caso de que medio ciclo no fuese suficiente para alguna de las etapas del

*pipeline*, se puede utilizar una configuración en la que puertas consecutivas están controladas por la misma fase de reloj, como se muestra en la Figura 1.27(c). En general, el elemento de retraso puede ser necesario para evitar fallos de deslizamiento. Por este mismo motivo es conveniente usar relojes pulsantes.

Las dos últimas categorías de esta revisión de arquitecturas están directamente relacionadas con la implementación de *pipelines* ultra profundos con una única puerta por fase.

## 1.5. Objetivos de la Tesis y organización de la memoria.

El objetivo general de este Trabajo es realizar una aportación al diseño de arquitecturas de pipeline ultrafino basadas en lógica dinámica para aplicaciones de altas prestaciones.

Los objetivos concretos son:

1. Analizar la problemática de la realización de lógica dinámica en tecnologías DSM.
2. Analizar el comportamiento de los superpipeline Dominó. En particular investigar el caso de utilizar dos fases de reloj, así como el uso de una puerta por fase (*nanopipeline*).
3. Desarrollar, evaluar y validar experimentalmente topologías de puertas dinámicas que exhiban compromisos satisfactorios entre tolerancia al ruido y velocidad.
4. Desarrollar, evaluar y validar experimentalmente topologías de puertas dinámicas inversoras susceptibles de ser utilizadas en arquitecturas nanopipelines.
5. Desarrollar, evaluar y validar experimentalmente nanopipelines usando las puertas desarrolladas.

La organización de esta Memoria se describe a continuación. En el Capítulo 2 se propone una nueva topología de puerta lógica dinámica que resuelve determinados problemas que presentan las puertas Dominó convencionales. Se analizan sus prestaciones y se realiza un estudio comparativo con otras topologías.

El Capítulo 3 se dedica al análisis de las arquitecturas *superpipeline*. Se evalúan *superpipelines* de distinta profundidad lógica implementadas con puertas Dominó y se describen las ventajas que presenta la topología descrita en el Capítulo 2 frente a las convencionales para implementar *nanopipelines* con dos fases de reloj.

En el Capítulo 4 se describe el diseño y el test de un circuito fabricado para validar experimentalmente la topología de puerta propuesta y su operación *nanopipeline*.

Por último, en el Capítulo 5 se profundiza en el análisis formal de circuitos dinámicos en una configuración de *nanopipeline* y se muestran las ventajas que el carácter inversor de la topología propuesta proporciona para su operación. Además se propone una modificación de la nueva topología que mejora, aún más, las prestaciones de dichas arquitecturas.





## Capítulo 2

# Topología DOE.

En este capítulo se describe, analiza y evalúa una topología de puerta dinámica novedosa que hemos propuesto para resolver una de las principales limitaciones de las puertas Dominó puesta de manifiesto en el Capítulo 1. Como ya se describió, en la lógica Dominó tanto el retraso de una puerta como su robustez frente a corrientes de fugas, subumbrales y ruido vienen determinados fundamentalmente por la fortaleza relativa del transistor *keeper* con respecto a la red de descarga de su etapa dinámica. Esto se traduce en que el transistor *keeper* convencional no permite obtener un compromiso razonable entre el comportamiento temporal y la robustez en tecnologías DSM, motivando el desarrollo de distintas topologías alternativas que fueron revisadas en el capítulo de introducción. En lo que respecta al compromiso velocidad-inmunidad al ruido, principalmente se basan en una modificación del *pull-down* de la etapa dinámica para reducir las corrientes de fuga o en el diseño de circuitos *keeper* innovadores, que en muchos casos trabajan sobre la base del concepto de *keeper* variable. Este es débil (o incluso está deshabilitado) al comienzo de la fase de evaluación y es fuerte durante el resto de la evaluación si el nudo dinámico debe permanecer cargado.

La nueva topología no se fundamenta en ninguna de las dos estrategias anteriores, sino que se basa en desacoplar la dependencia que, tanto el retraso como la inmunidad al ruido, presentan, los mismos parámetros de diseño. De esta forma pueden obtenerse mejores compromisos entre su velocidad y su tolerancia al ruido. Esta nueva topología se denomina puerta dinámica con evaluación retrasada. En lo que sigue nos referiremos a ella como topología DOE de sus siglas en inglés *Delayed Output Evaluation*.

El capítulo se organiza como sigue. En el Apartado 2.1 se describe

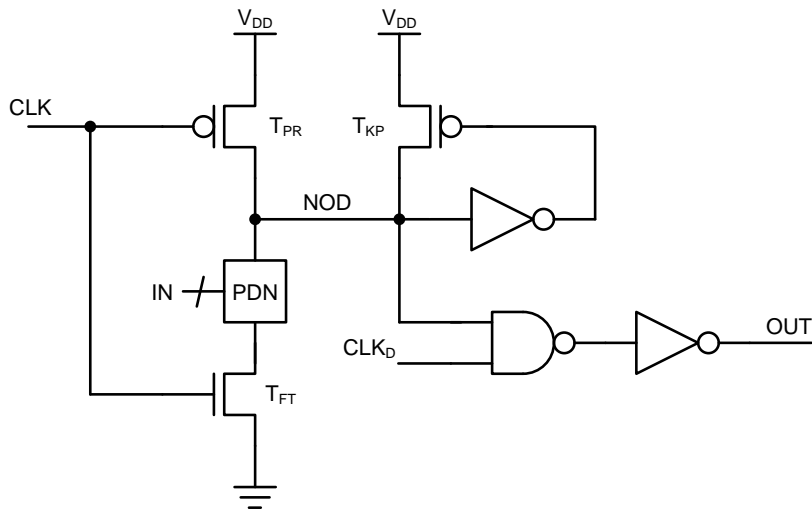
la topología DOE. En el Apartado 2.2 se describe el procedimiento y la herramienta desarrollada para su caracterización. En el Apartado 2.3 se evalúa su comportamiento y se compara con el de otras topologías.

## 2.1. Descripción de la topología.

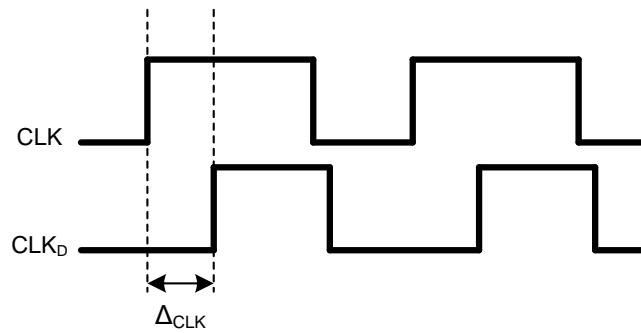
La topología DOE [73, 74] se basa en la modificación de la etapa estática de salida de una puerta Dominó convencional. A diferencia de una puerta Dominó, el retraso no está determinado por los mismos factores que en la lógica dinámica convencional: la descarga del nodo dinámico seguida por la transición de la etapa de salida en respuesta a ella, y puede hacerse, hasta cierto punto, independiente de la complejidad de la puerta. A diferencia de otras propuestas alternativas que modifican la etapa dinámica de las puertas Dominó, en DOE se rediseña la etapa de salida.

En la Figura 2.1(a) se muestra el esquemático de una puerta DOE genérica. Se observa que el inversor de salida de la puerta Dominó se ha reemplazado por una etapa estática compuesta por una puerta NAND seguida de un inversor. Las entradas de la puerta NAND son el nodo dinámico y la señal de reloj retrasada. Denominamos  $CLK_D$  a la señal de reloj retrasada y  $\Delta_{CLK}$  al retraso entre los flancos ascendentes de las señales  $CLK$  y  $CLK_D$  como se muestra en la Figura 2.1(b).

Comparando con las puertas Dominó, se puede observar que se ha añadido un nivel de puerta extra. Sin embargo, esto no implicaría necesariamente un mayor retraso de la topología propuesta, asumiendo que las etapas dinámicas de ambas puertas sean dimensionadas similarmente. Los retrasos de DOE están determinados por la suma de  $\Delta_{CLK}$ , y el retraso de la etapa estática conformada por la puerta NAND y el inversor de salida. El retraso de esta etapa estática (NAND-INV) puede hacerse similar al retraso del inversor de salida de una puerta dinámica convencional. Esto último se puede explicar ya que el *fan-out* y las capacidades de interconexión se pueden manejar mejor con una etapa de salida de dos niveles. Además, la capacidad del nodo dinámico puede reducirse debido a un menor dimensionamiento de los transistores de la puerta NAND. Nótese que los transistores del inversor de salida de una puerta dinámica convencional deben ser lo suficientemente grandes para poder manejar las cargas de salida. Incluso asumiendo que el retraso NAND-INV es ligeramente mayor que el retraso del inversor de salida de una puerta Dominó, se pueden anticipar ventajas en términos de velocidad, ya que el otro componente de retraso de la topología propuesta,  $\Delta_{CLK}$ , puede ser menor que el retraso de la etapa dinámica en el caso de



(a) Esquemático.



(b) Señal de reloj retrasada.

Figura 2.1: Topología DOE.

puertas complejas o de un alto *fan-in*, como demostraremos.

Durante la fase de precarga, la salida de la puerta NAND se carga a  $V_{DD}$  y a través del inversor estático mantiene la salida de la puerta en bajo. Por ello, a pesar de su carácter inversor, no presenta el problema de interconexión de la lógica dinámica convencional. En la fase de evaluación, una vez que se activa la señal de reloj retrasada, la puerta NAND evalúa de acuerdo al estado del nodo dinámico. En caso de que la combinación de entradas provoque la descarga del nodo dinámico, la salida de la NAND se mantiene en alto y la salida de la puerta en bajo y, por tanto, no hay retraso

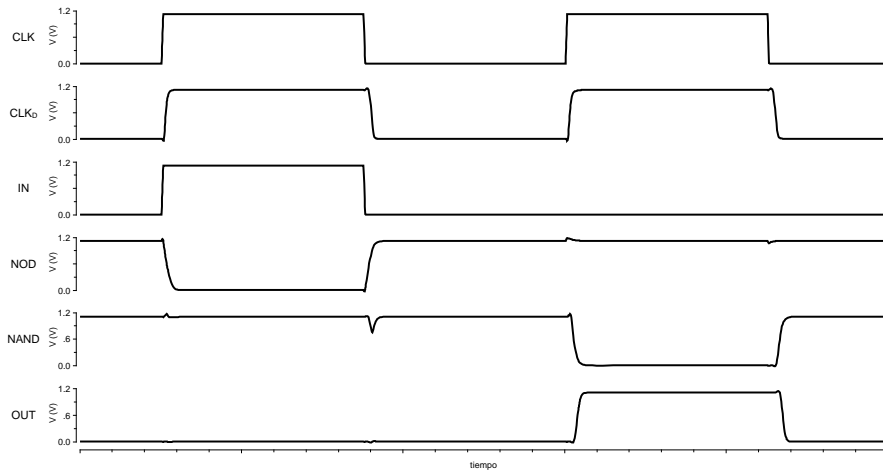


Figura 2.2: Forma de onda para una puerta NOR de 16 entradas.

de propagación. Por el contrario, si hay una combinación de entradas en la puerta que no haga descargar el nodo dinámico, la salida de la puerta NAND se descargará y la salida se pone a “1” lógico. El retraso de evaluación en este caso viene determinado por el retraso de la puerta NAND sumado al retraso del inversor de salida y al tiempo de retraso del reloj,  $\Delta_{CLK}$ .

En la Figura 2.2 se muestran las formas de onda obtenidas de la simulación de una puerta NOR de 16 entradas. La señal *IN* se aplica a una de las entradas de la puerta, mientras las 15 restantes se fijan a tierra. En el primer ciclo de reloj (*CLK*), la entrada *IN* está en alto, mientras que en el segundo está en bajo. Se muestra también la señal de reloj retrasado (*CLK<sub>D</sub>*), el nodo dinámico (*NOD*), la salida de la puerta NAND (*NAND*) y la salida de la puerta (*OUT*).

Para el caso en el que la entrada *IN* está en alto en la fase de evaluación, el nodo dinámico se descarga y la salida de la NAND permanece en alto. Por tanto, la salida de la puerta no realiza ningún tipo de transición. En el segundo período de reloj, todas las entradas permanecen en bajo, lo que provoca la descarga de la puerta NAND y, en consecuencia, se carga la salida de la puerta como se espera.

La velocidad de descarga del nodo dinámico no afecta al retraso de la puerta, por lo que podría incrementarse la fortaleza del transistor *keeper* (y por tanto la inmunidad al ruido) sin que éste se incremente. Evidentemente, esta afirmación es válida hasta cierto punto. El retraso de DOE

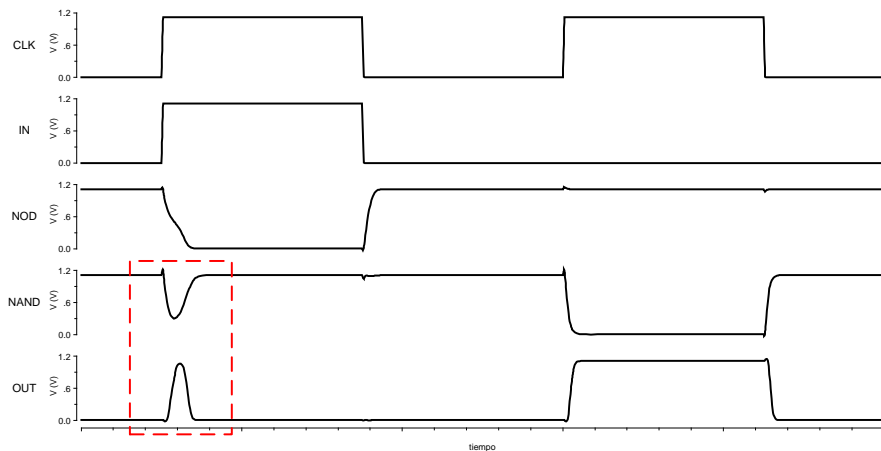


Figura 2.3: Formas de onda para una puerta NOR de 16 entradas sin celda de retraso.

depende de  $\Delta_{CLK}$  y es necesario mantener una relación adecuada entre este valor y el tiempo de descarga del nodo dinámico para que la puerta opere correctamente.

El retraso de la señal de reloj es necesario para controlar la evaluación de la puerta NAND, ya que sin él, su salida puede descargarse indebidamente y generar un *glitch* en la salida de la puerta DOE, como se ilustra a continuación. La Figura 2.3 muestra las formas de onda de una simulación realizada a una puerta DOE de 16 entradas empleando una señal de reloj sin retraso para la puerta NAND. En la figura se muestra claramente como la puerta NAND comienza a descargarse al comenzar la fase de evaluación del reloj. En caso de que la combinación de entradas provoque una descarga del nodo dinámico, la salida de la NAND se carga nuevamente a  $V_{DD}$ , pero su descarga parcial produce un *glitch* en la salida de la puerta que, eventualmente podría provocar un fallo funcional.

A pesar de que el mínimo  $\Delta_{CLK}$  viene determinado por el retraso del nodo dinámico, aquél puede ser menor que éste. Así, asumiendo que un dimensionamiento similar en las etapas dinámicas de ambas topologías se traduce en una tolerancia al ruido semejante para una inmunidad al ruido igual, DOE es más rápido que Dominó. De forma análoga, diseñando para un retraso equivalente, se espera que DOE logre una mayor tolerancia al ruido. En resumen, se espera un mejor compromiso retraso-tolerancia al ruido con la topología propuesta.

## 2.2. Experimento de caracterización de puertas.

Con el objetivo de evaluar la topología propuesta, se han llevado a cabo experimentos de caracterización por simulación de puertas DOE y otras topologías de puertas dinámicas. En este apartado se describe la metodología seguida, y en el siguiente se presentan los resultados obtenidos para puertas NOR de alto fan-in en tecnologías DSM, para las que Dominó exhibe compromisos velocidad-robustez no satisfactorios.

### 2.2.1. Dimensionamiento de los transistores.

En los experimentos de caracterización realizados se utiliza como parámetro de diseño el ancho de los transistores ( $W$ ), usando para la longitud ( $L$ ) el mínimo permitido por la tecnología, salvo que se indique lo contrario.

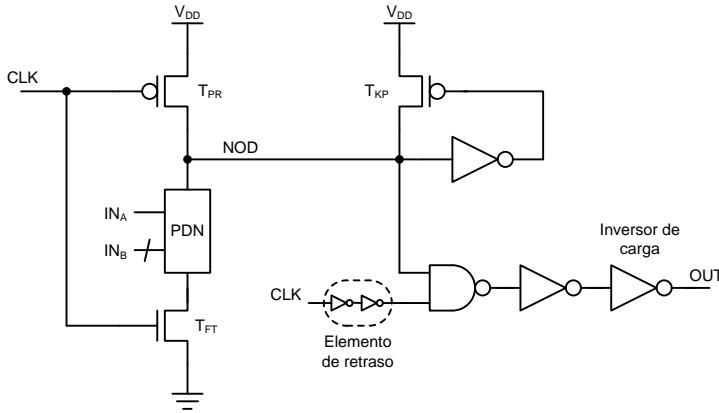


Figura 2.4: Esquemático utilizado para caracterización.

La Figura 2.4 muestra la etapa dinámica de una puerta DOE o una puerta Dominó. Su dimensionamiento viene por los siguientes parámetros:

- $K_{PRE}$ : Factor de escalado para el transistor de precarga.
- $K_{FT}$ : Factor de escalado para el transistor footer.
- $K_{PDN}$ : Factor de escalado del keeper.
- $K_{IN}$ : Factor de escalado de los transistores de la red PDN.
- $K_L$ : Factor de escalado de la longitud para el transistor keeper.

A partir de estos factores de escalado se determina el ancho de todos los transistores de la siguiente manera:

Transistor de precarga:

$$W_{TPR} = K_{PRE} * W_{min} \quad (2.1)$$

Transistor footer:

$$W_{TFT} = K_{FT} * K_{IN} * W_{min} \quad (2.2)$$

Transistores de entrada:

$$W_{INPUT} = K_{IN} * W_{min} \quad (2.3)$$

El ancho equivalente de la red de descarga,  $W_{PDN}$ , para el caso de una puerta NOR, viene dado por:

$$\frac{1}{\frac{W_{PDN}}{L_{min}}} = \frac{1}{K_{FT} \cdot K_{IN} \cdot \frac{W_{min}}{L_{min}}} + \frac{1}{N_{INPUT} \cdot K_{IN} \cdot \frac{W_{min}}{L_{min}}} \quad (2.4)$$

Transistor keeper:

$$\frac{W_{KP}}{K_L \cdot L_{min}} = \frac{K_{PDN} \cdot W_{PDN}}{L_{min}} \quad (2.5)$$

Reemplazando 2.4 en 2.5 tenemos:

$$W_{KP} = K_L \cdot K_{PDN} \cdot \frac{N_{INPUT} \cdot K_{IN} \cdot K_{FT} \cdot W_{min}}{N_{INPUT} + K_{FT}} \quad (2.6)$$

Obsérvese que el factor de escalado  $K_{PDN}$  relaciona la fortaleza del transistor *keeper* respecto a la red de descarga. Es posible explorar compromisos velocidad robustez variando  $K_{PDN}$  y manteniendo constantes los restantes parámetros de diseño asociados a la etapa dinámica y a los elementos restantes que conforman una determinada topología. Nos referimos al inversor de salida en el caso de Dominó o a la etapa de salida, formada por una NAND y un inversor en DOE.

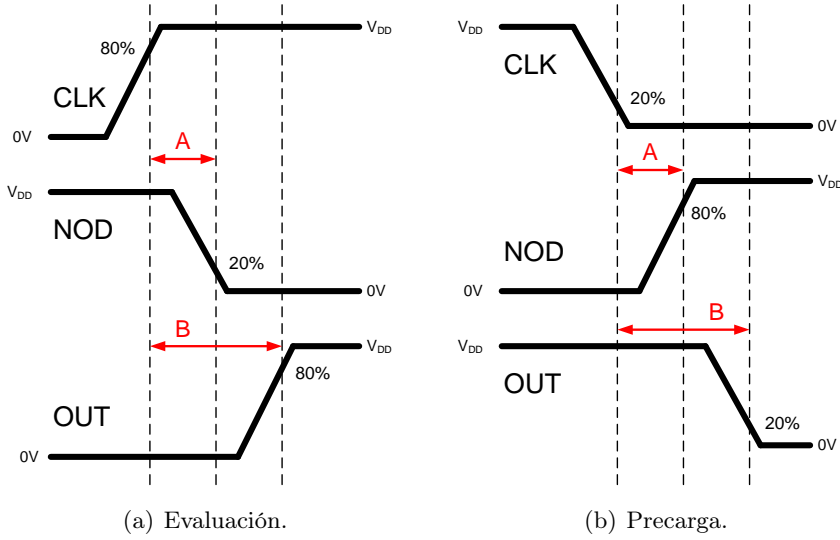


Figura 2.5: Medidas de retraso.

### 2.2.2. Simulación para validación funcional y caracterización de retrasos.

Se han realizado diferentes simulaciones para validar la funcionalidad de la puerta y medir sus retrasos. En concreto se han tomado cuatro medidas de retraso, dos de ellas asociadas a la fase de evaluación y otras dos asociadas a la fase de precarga.

La puerta lógica se ha sometido a estímulos de entrada con todas las combinaciones posibles. Para cada combinación de entrada, se evalúa la funcionalidad y se miden los cuatro retrasos. De esta manera se asegura estar midiendo el retraso máximo de evaluación y de precarga, ya que se aplica la combinación de entradas de caso peor, en la que las 15 entradas conectadas a  $IN_B$  están a “0” y la entrada  $IN_A$  a “1”.

**Medidas de retraso en fase de evaluación.** En la fase de evaluación se mide el retraso asociado a la descarga del nodo dinámico comenzando en el 80 % de la subida de la señal de reloj hasta el 20 % de la bajada del nodo dinámico (A), como se ilustra en la Figura 2.5(a). También se mide el retraso en la salida de la puerta comenzando en el 80 % de la subida de la señal de reloj hasta el 80 % de la subida de la señal de salida (B).



**Medidas de retraso en fase de precarga.** En la fase de precarga se mide el retraso asociado a la carga del nodo dinámico comenzando en el 20 % de la bajada de la señal de reloj hasta el 80 % de la subida del nodo dinámico (A), como se ilustra en la Figura 2.5(b). También se mide el retraso en la descarga de la salida comenzando en el 20 % de la bajada de la señal de reloj hasta el 20 % de la bajada de la señal de salida (B).

### 2.2.3. Simulaciones de ruido y potencia.

Se han utilizado diferentes criterios para evaluar la tolerancia al ruido de las puertas dinámicas [75–78]. Con propósitos de comparación está extendido el uso del UGN (*Unity Gain Noise*), que se define como el nivel de ruido aplicado a las entradas de la puerta dinámica que genera un nivel igual de ruido a la salida del circuito [79–83],

Un nivel de ruido presente en las entradas de la puerta por encima del nivel UGN puede propagarse a la siguiente etapa del circuito y provocar un fallo de funcionalidad. Para la medida de ruido hemos considerado el escenario más desfavorable en el que se aplica la misma tensión de ruido a todas las entradas.

Para realizar las medidas de consumo de potencia se han aplicado secuencias de entrada aleatorias, realizándose simulaciones transitorias de duración suficiente para que el valor de consumo converja.

### 2.2.4. Herramienta de caracterización de puertas lógicas dinámicas.

Se ha desarrollado una herramienta *software* para automatizar la realización de experimentos de caracterización de puertas lógicas dinámicas en lenguaje de programación M de *Matlab* [84]. En este apartado se presenta una descripción general de las tareas que realiza la herramienta.

En el proceso de caracterización de una puerta, la herramienta interviene en la generación de archivos de simulación, el procesamiento y análisis de las simulaciones realizadas en el entorno *Virtuoso-Cadence* [85] empleando el simulador *Spectre* [86] y la presentación de los resultados obtenidos.

Sus principales características son:

- Evaluación de funcionalidad lógica. Caracteriza diferentes tipos de puertas con distintos *fan-in*. Para ello, se le proporciona como entrada a la herramienta la funcionalidad de la puerta que se está analizando.

- Topologías de celdas. La herramienta permite la caracterización de puertas construidas en distintas topologías. La única restricción es que opere con una señal de reloj, en las dos fases típicas de este tipo de lógica: precarga y evaluación, con un nodo dinámico y un nodo de salida.
- Nodos tecnológicos. La herramienta permite la caracterización de la puerta lógica en diferentes nodos tecnológicos. En este trabajo se ha utilizado un nodo comercial UMC 130 nm [87], en la validación de la herramienta, y tres predictivos PTM [88] de 32 nm, 22 nm y 16 nm.
- Dimensionamiento de los transistores. La herramienta explora distintos dimensionamientos de puerta y permite caracterizar puertas en diferentes nodos tecnológicos.

El proceso de caracterización de una puerta lógica lo llamaremos de ahora en adelante “experimento”. Un experimento implica una topología de puerta determinada, en una o más tecnologías y un conjunto de dimensionamientos para la misma. Por lo tanto, en un experimento se simulan muchas puertas, cada una con dimensionamiento y en una tecnología determinada. En la Figura 2.6 se presenta el diagrama de flujo de un experimento. Las tareas realizadas por la herramienta se muestran con fondo azul.

Un experimento comienza con la interacción de la herramienta con el usuario, para determinar cuáles serán los parámetros de diseño y sus rangos de valores que se desean explorar, así como en qué tecnologías se simulará el experimento. Una vez definidos todos los parámetros de simulación, la herramienta genera de manera automática los *scripts* de simulación en lenguaje *Ocean* (*Open Command Environment for Analysis*) de *Cadence*. Estos son posteriormente ejecutados por el simulador *Spectre*.

*Spectre* genera archivos en formato plano con datos referentes a las señales que intervienen en el experimento a caracterizar. Estos archivos son importados por la herramienta, que identifica los parámetros característicos de cada tecnología como la tensión de alimentación y el dimensionado mínimo permitido para los transistores. Una vez importados los archivos de simulación, la herramienta interactúa con el usuario para determinar los criterios de evaluación que permitirán a la herramienta validar o invalidar la funcionalidad de las puertas simuladas.

Las tareas que se relacionan a continuación se realizan para cada una de las simulaciones. Esto es, para cada dimensionamiento de la puerta en cada una de las tecnologías.

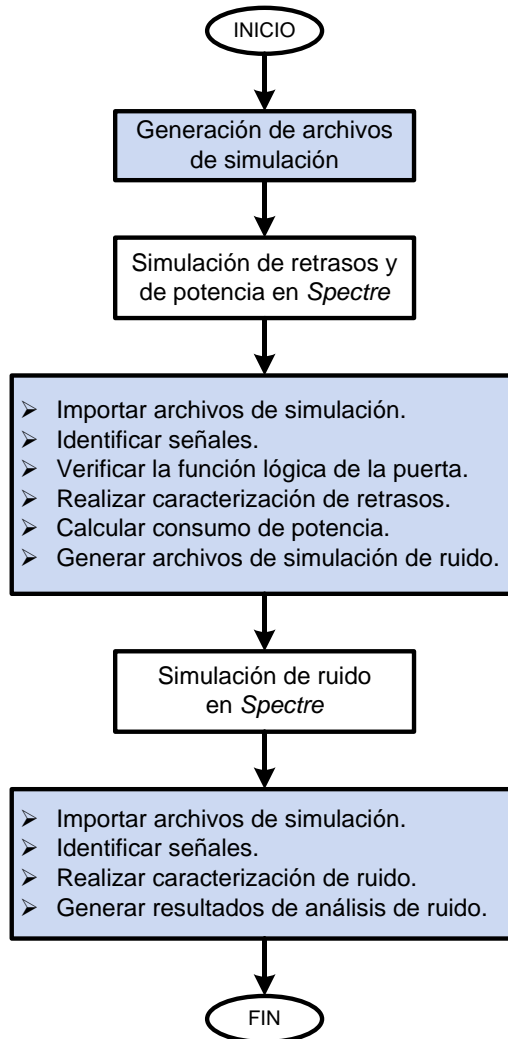


Figura 2.6: Diagrama de flujo de un experimento de caracterización.

- Identificación de señales y caracterización de la señal de reloj.
- Evaluación de funciones lógicas.
- Caracterización de retrasos.
- Calculo de potencia.

Una vez procesados todos los datos importados, la herramienta genera un archivo *Microsoft-Excel* con información del experimento como el resultado del chequeo funcional, retrasos máximos en evaluación y precarga para nodo dinámico y nodo de salida, y el consumo de potencia.

A partir de los datos procesados de cada experimento, es posible realizar un análisis de ruido a cada puerta. De manera similar a como se realiza la generación de *scripts* de *Ocean* para las simulaciones de retrasos, se realiza la generación de *scripts* para las simulaciones de ruido. Esta vez el usuario no interviene en el proceso, ya que los parámetros de dimensionamiento con los que se escriben los *scripts* son las combinaciones de parámetros que superaron la evaluación de funcionalidad en la primera parte del proceso de caracterización. Para cada dimensionamiento validado funcionalmente se le genera un *script* en el que se varía la amplitud del pulso de ruido en las entradas.

La importación de los datos de simulación generados en *Spectre* se realiza de manera similar a lo descrito anteriormente, con la diferencia de que para las medidas de ruido se importan tantos ficheros como simulaciones validas se hayan tenido en la evaluación de funcionalidad. Una vez procesados todos los datos importados, la herramienta genera un nuevo archivo *Microsoft-Excel* con información del experimento relativa a las medidas de UGN de cada una de las puertas y la tensión del nodo dinámico y de salida para el pulso de ruido de amplitud UGN.

### 2.3. Evaluación de topologías.

Utilizando la herramienta desarrollada se han caracterizado y comparado puertas Dominó, DOE y Dominó con *keeper* condicional. Los resultados que mostramos persiguen validar experimentalmente que DOE exhibe compromisos velocidad-robustez muy satisfactorios. Por ello se ha elegido puertas NOR (OR en el caso de las Dominó) de *fan-in* alto (16) y se han evaluado en tecnologías DSM. En concreto se han evaluado usando modelos predictivos de transistores MOSFET (PTM) en tres nodos tecnológicos: 32 nm, 22 nm y 16 nm [89].

Como ya indicamos, estos compromisos velocidad-robustez pueden explorarse variando únicamente  $K_{PDN}$ . La Tabla 2.1 muestra los parámetros de diseño utilizados. Las etapas dinámicas, el inversor de realimentación y el de salida son idénticos en las tres puertas.

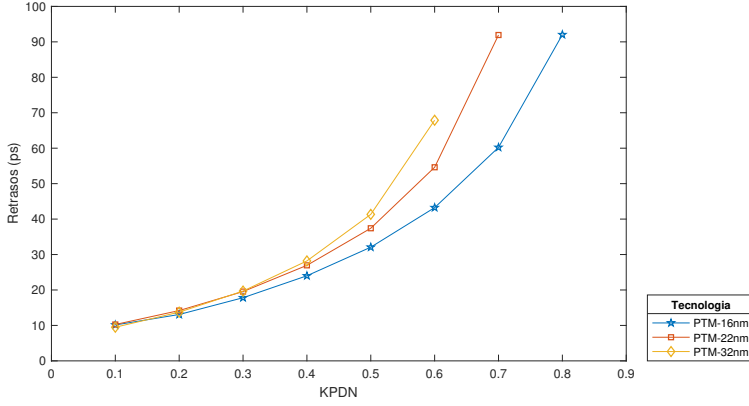
Transistor	Parametro	Dimensionamiento
Transistor Precarga	$W_{PRE}$	$10 * W_{min}$
	$L_{PRE}$	$L_{min}$
Transistores red PDN	$W_{PDN}$	$5 * W_{min}$
	$L_{PDN}$	$L_{min}$
Transistor Footer	$W_{Foot}$	$15 * W_{min}$
	$L_{Foot}$	$L_{min}$
Transistor P INV	$W_{PINV}$	$2 * W_{min}$
	$L_{PINV}$	$L_{min}$
Transistor N INV	$W_{NINV}$	$W_{min}$
	$L_{NINV}$	$L_{min}$
Transistores P NAND	$W_{PNAND}$	$2 * W_{min}$
	$L_{PNAND}$	$L_{min}$
Transistores N NAND	$W_{NNAND}$	$W_{min}$
	$L_{NNAND}$	$L_{min}$

Tabla 2.1: Parámetros de diseño utilizados en la evaluación de topologías.

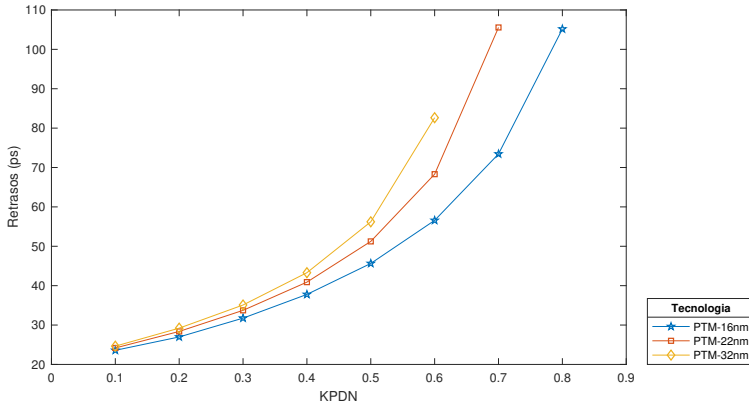
### 2.3.1. Análisis de la topología Dominó.

En este apartado se realiza un análisis de la topología Dominó a partir de las simulaciones descritas anteriormente. En la Figura 2.7(a) se muestran las curvas de retraso del nodo dinámico frente a  $K_{PDN}$ . No se han representado retrasos por encima de 100 ps. Por ello, en 32 nm se muestran resultados hasta  $K_{PDN} = 0.6$ , en 22 nm hasta  $K_{PDN} = 0.7$  y se llega a  $K_{PDN} = 0.8$  en 16 nm. Como era de esperar, los resultados obtenidos en este primer análisis muestran que, para todos los nodos tecnológicos, el retraso aumenta cuando lo hace el ancho del transistor *keeper*. En Dominó, los retrasos vienen determinados por la velocidad de descarga el nodo dinámico, por lo que a medida que el transistor *keeper* se hace más ancho, aumenta la contención y, por tanto, le cuesta más descargarse. En la Figura 2.7(b) se muestran las curvas de retraso del nodo de salida frente a  $K_{PDN}$ . Los retrasos se reducen al escalar. Para  $K_{PDN} = 0.6$ , el retraso de 32 nm (22 nm) es un 46 % (21 %) mayor que el de 16 nm.

En la Figura 2.8 se muestra el consumo de potencia frente a  $K_{PDN}$  para los tres nodos tecnológicos. Se observa, que al escalar, se reduce el consumo de potencia, debido en gran parte a la tensión de polarización que usa cada tecnología. Al aumentar el ancho del transistor *keeper*, el consumo en cada uno de los nodos aumenta ligeramente, como también lo hacen la corriente



(a) Nodo dinámico.



(b) Nodo de salida.

Figura 2.7: Retrasos frente a  $K_{PDN}$  para topología Dominó en PTM 32 nm, 22 nm y 16 nm.

de contención y las capacidades parásitas.

La Figura 2.9(a) muestra el gráfico que representa al retraso de la puerta (nodo de salida) frente al UGN para los nodos tecnológicos de 32 nm, 22 nm y 16 nm. El transistor *keeper* no sólo compensa las corrientes de fuga en el nodo dinámico, sino que también lo hace con las corrientes subumbrales provocadas por el ruido a la entrada. Por esta razón, los puntos de mayor retraso, que corresponden a valores de  $K_{PDN}$  más altos, exhiben una mayor tolerancia al ruido.

También se puede observar que, a medida que se escala, el compromiso retraso-ruido se va degradando, es decir, para un mismo valor de UGN,

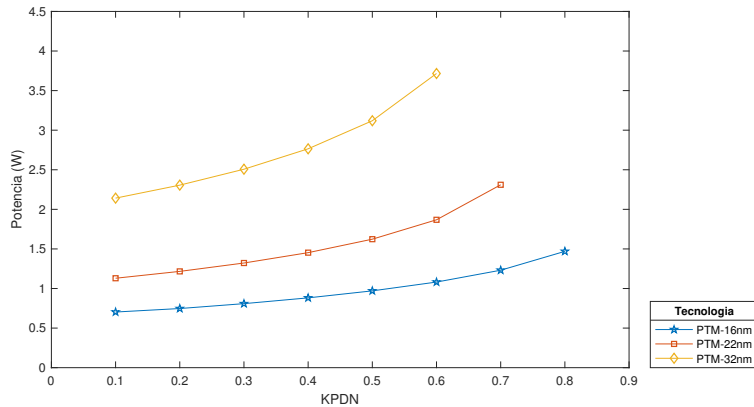


Figura 2.8: Potencia frente a  $K_{PDN}$  para topología Dominó en PTM 32 nm, 22 nm y 16 nm.

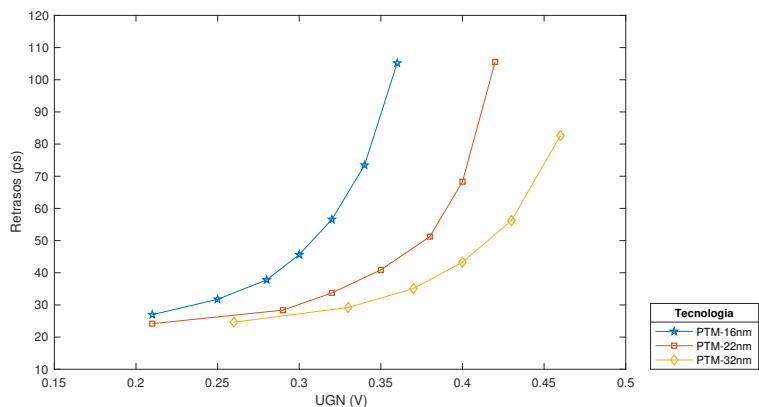
el retraso aumenta. Esto es, aunque para un mismo valor de  $K_{PDN}$  los retrasos disminuyan al escalar, es necesario un  $K_{PDN}$  mayor para la misma tolerancia al ruido, y por lo tanto, si se quiere mantener el UGN no es ventajoso escalar.

Con frecuencia se utiliza el UGN normalizado, esto es  $UGN/V_{DD}$ , para comparar distintos nodos tecnológicos. La Figura 2.9(b) muestra la relación retraso-ruido usando ahora el UGN. Se observa que las diferencias de retraso entre los tres nodos tecnológicos se reducen. De hecho, son muy similares para los nodos 32 nm y 22 nm. No obstante, el retraso en 16nm sigue siendo superior para un mismo valor de UGN normalizado. Por lo tanto, incluso teniendo en cuenta que la tensión de polarización se reduce al escalar y que, por lo tanto, se deben comparar valores normalizados de UGN, nuestro experimento muestra que el compromiso velocidad – tolerancia al ruido de Dominó se degrada al escalar.

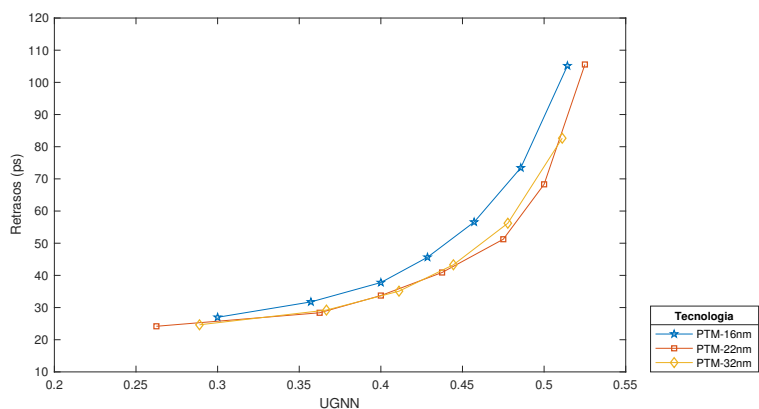
### 2.3.2. Análisis de la topología Condicional.

En el Capítulo 1 se hizo referencia a distintas topologías que adoptaban el concepto de modificar la red de *pull-up*. Una de ellas, conocida como *lógica Dominó con transistor keeper condicional*, divide el transistor *keeper* en dos transistores, uno llamado *keeper* débil y el otro *keeper* fuerte.

La Figura 2.10 ilustra la operación de estos transistores. El transistor *keeper* es débil durante la ventana de transición de salida, y fuerte el resto del tiempo de evaluación, si el nodo dinámico debe permanecer en alto. Un



(a) Valores sin normalizar (UGN).



(b) Valores normalizados (UGNN).

Figura 2.9: Retrasos frente a UGN para topología Dominó en PTM 32 nm, 22 nm y 16 nm.

*keeper* débil, activo durante la transición, da como resultado la reducción de la contención y una rápida transición a la salida, mientras que un *keeper* fuerte durante el resto del tiempo de evaluación, proporciona una buena robustez frente a las corrientes de fuga y al ruido, como ya se explicó.

La Figura 2.11 muestra el esquemático de esta topología que se ha usado en los experimentos de este capítulo. Recordemos que, en el comienzo de la fase de evaluación, el transistor  $T_{KP1}$  (*keeper* débil) es el único que se activa. Tras un tiempo de retraso fijado por dos inversores en serie, la salida de la puerta NAND se descarga, siempre y cuando no se haya descargado





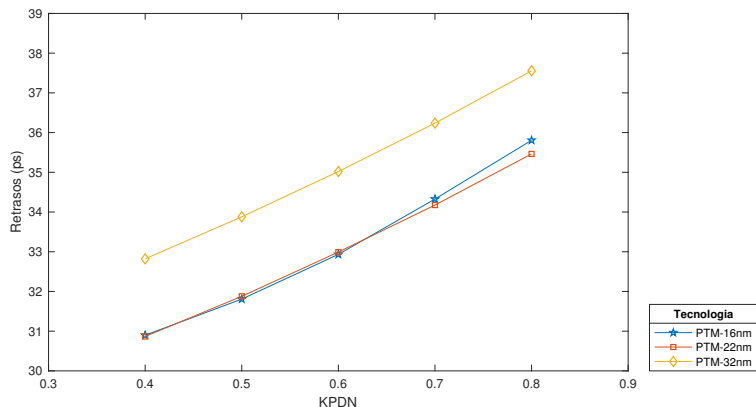


Figura 2.12: Retraso frente a  $K_{PDN}$  para topología condicional en PTM 32 nm, 22 nm y 16 nm.

retraso, manteniendo tolerancias al ruido similares.

En el experimento realizado para esta topología se ha optado por satisfacer el criterio de alta velocidad. Se ha hecho el ancho del *keeper* fuerte igual a tres veces el ancho del *keeper* débil, consiguiendo una relación débil/fuerte de 25/75 y se ha explorado un rango de valores de  $K_{PDN}$  de 0.1 a 0.8 en los tres nodos tecnológicos PTM de 32 nm, 22 nm y 16 nm.

El dimensionamiento del par de inversores que forman el elemento de retraso, crítico para garantizar la activación del transistor *keeper*, se ha hecho empleando transistores con las dimensiones mínimas de cada tecnología. La puerta NAND usa transistores PMOS y NMOS de ancho mínimo.

En la Figura 2.12 se muestra el retraso de la puerta frente a  $K_{PDN}$ . Los retrasos representados corresponden a valores de  $K_{PDN}$  a partir de 0.4. Por debajo de este valor, y puesto que  $K_{PDN}$  se reparte entre el *keeper* débil y el fuerte, resulta un *keeper* débil por debajo del ancho mínimo permitido para cada tecnología, hecho por el cual fueron descartados estos dimensionados de la puerta.

Se observa un comportamiento de los retrasos frente a  $K_{PDN}$  muy diferente al obtenido para Dominó. Éste no aumenta tan rápidamente al incrementar el valor de  $K_{PDN}$ . En efecto, idealmente, durante la evaluación, únicamente el *keeper* débil está activado. Por lo tanto, a efectos del retraso, y con el dimensionamiento elegido para los *keepers* en este experimento, los valores efectivos del *keeper* están entre 0.1 y 0.2. Los retrasos obtenidos son del orden de los medidos para Dominó en ese rango de valores de  $K_{PDN}$ .

Los de la topología condicional están ligeramente por encima. Hay que tener en cuenta que la carga del nodo dinámico se ha incrementado puesto que también se conecta a la puerta NAND que controla el *keeper* fuerte. Por otra parte, dependiendo del retraso de la señal de reloj respecto a la descarga del nodo dinámico, puede ocurrir que el *keeper* fuerte se active transitoriamente. Ello también explicaría el incremento de retrasos señalado.

También se observa que los retrasos se reducen al escalar de 32 nm a 22 nm. Sin embargo, los resultados obtenidos para los nodos tecnológicos 16 nm y 22 nm son muy similares. Se han analizado detalladamente simulaciones de estos circuitos para explicar este comportamiento. Se ha concluido que el transistor *keeper* condicional no satisface el principio de operación de la topología en estos nodos. Su activación depende del retraso en la señal de reloj, que implementamos con dos inversores en serie. En el caso de los nodos tecnológicos de 16 nm y 22 nm, el *keeper* condicional se activa transitoriamente antes de que el nodo dinámico se descargue completamente, enlenteciendo su descarga. Esto es, un mismo dimensionado del circuito generador del retraso no parece ser adecuado para los tres nodos explorados.

En la Figura 2.13 se muestran los retrasos frente a UGNN. En primer lugar se observa que la similitud de retrasos para un mismo valor de  $K_{PDN}$ , exhibida por los nodos 22 nm y 16 nm, se traduce en mayores retrasos de 16 nm respecto a 22 nm para el mismo valor de UGNN. Sólo en los valores más altos de UGNN se observa un comportamiento distinto. De hecho, la curva de 16 nm comienza más a la izquierda que la de 22 nm. El primer punto de las tres curvas corresponde a  $K_{PDN} = 0.4$ . Por lo tanto, como en Dominó, con el mismo valor de  $K_{PDN}$  se obtiene una tolerancia al ruido menor en 16 nm que en 22 nm. No se aprecian estas diferencias entre 32 nm y 22 nm. De nuevo esto se explica en base a las diferencias en la activación el *keeper* fuerte. Al producirse antes la activación del *keeper* en 22 nm, se contrarresta la mayor vulnerabilidad al ruido de este nodo respecto a 32 nm. Por último, 32 nm y 22 nm muestran una cierta saturación de su UGNN, que no se mejora al incrementar el  $K_{PDN}$  de 0.7 a 0.8. Este fenómeno no se produce en 16 nm. Estos resultados se deben, en parte, al propio experimento que utiliza una determinada discretización de UGN. Por otra parte, al activarse el transistor *keeper* muy pronto en 16 nm, está menos tiempo operando sólo con el *keeper* débil, y por tanto se degrada menos su inmunidad al ruido.

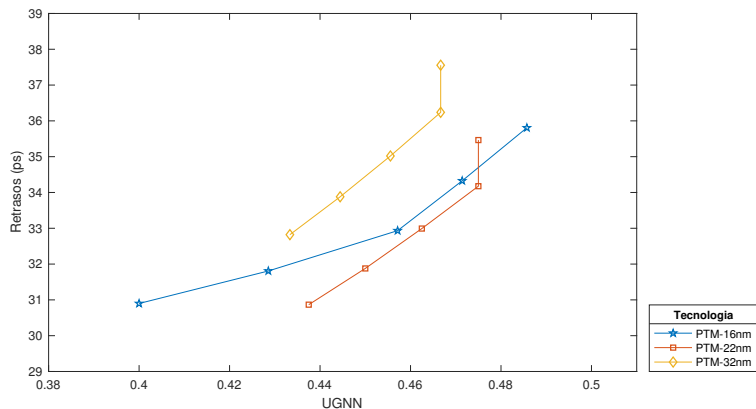


Figura 2.13: Retraso frente a UGN normalizado para topología condicional en PTM 32 nm, 22 nm y 16 nm.

### 2.3.3. Análisis de la topología DOE.

Se ha realizado un experimento de caracterización similar al realizado para la topología Dominó, explorando un rango de valores de  $K_{PDN}$  de 0.1 a 0.8 en los tres nodos tecnológicos PTM de 32 nm, 22 nm y 16 nm. En los experimentos se han empleado transistores mínimos para los inversores estáticos que generan el reloj retrasado, mientras que para la puerta NAND los transistores PMOS son mínimos y los NMOS tienen un ancho doble del mínimo.

En la Figura 2.14 se muestra el retraso en función de  $K_{PDN}$ . Los valores de retraso mostrados corresponden a valores de  $K_{PDN}$  entre 0.1 y 0.4. Para valores superiores, aparecen *glitches* en la salida cuando debe permanecer a cero. El nodo dinámico descarga demasiado lento para el valor de  $\Delta_{CLK}$  que se está usando, permitiendo que la salida de la puerta NAND comience a descargarse. Aunque recupera la carga cuando el nodo dinámico completa su descarga, en la salida de la puerta se produce un *glitch*. Si este es suficientemente alto podría ser malinterpretado por la etapa siguiente. El criterio para descartar un dimensionamiento ha sido muy estricto.

En la Figura 2.15 se muestra la relación retraso-UGN normalizado. Nótese que el retraso es constante con  $K_{PDN}$  como esperábamos, ya que depende de  $\Delta_{CLK}$  y de la etapa de salida. Se observa como a medida que se escala, se tiene una mayor velocidad en la puerta, sin embargo, la tolerancia al ruido se reduce ligeramente en 16 nm. El retraso de 32 nm (22 nm) es un 29 % (14 %) mayor que el retraso de 16 nm. Por ejemplo, para  $K_{PDN} = 0.4$ ,

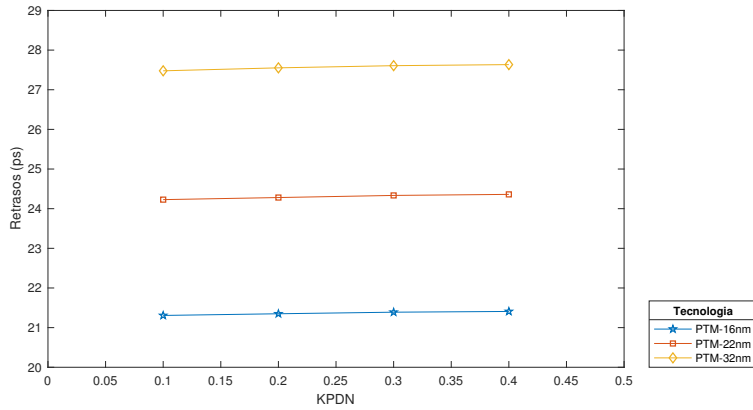


Figura 2.14: Retraso frente a  $K_{PDN}$  para topología DOE en PTM 32 nm, 22 nm y 16 nm.

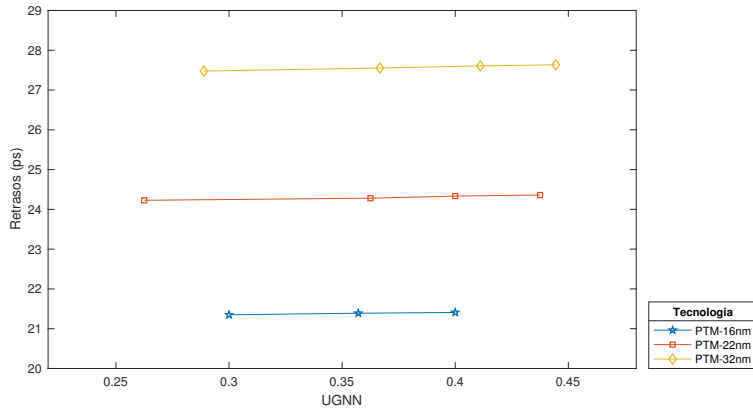
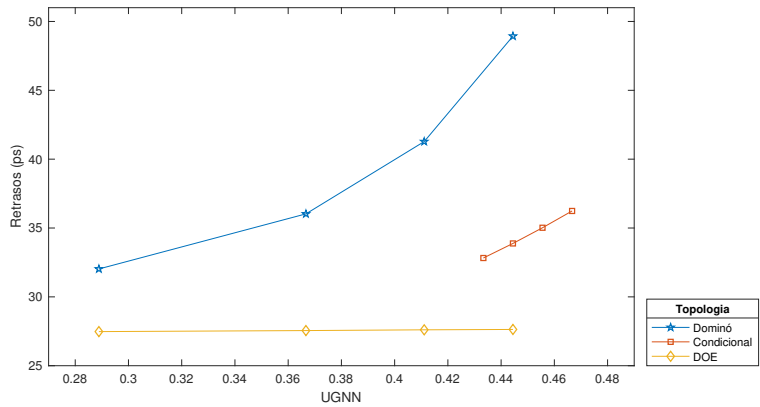


Figura 2.15: Retraso frente a UGN normalizado para topología DOE en PTM 32 nm, 22 nm y 16 nm.

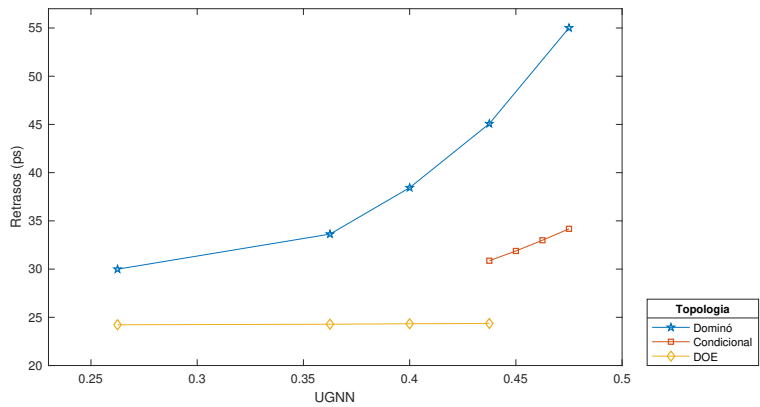
el UGN normalizado de 32 nm es un 11 % mayor que en 16 nm.

#### 2.3.4. Análisis comparativo.

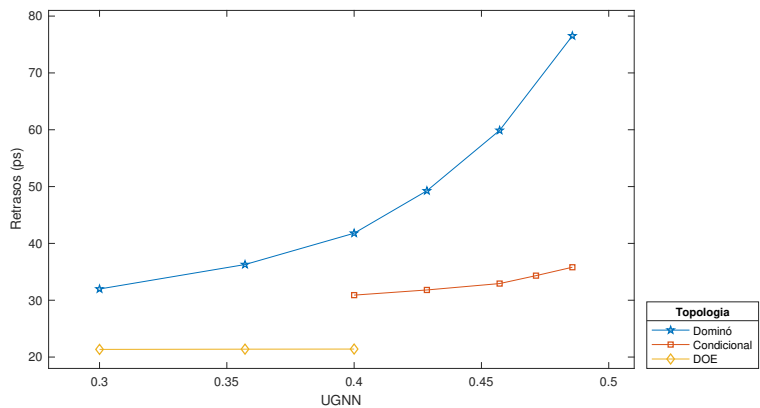
En este apartado se comparan las prestaciones de las tres topologías exploradas y el impacto que tiene el escalado tecnológico. La Figura 2.16 muestra la relación retraso-UGN normalizado en PTM de 32 nm (Figura 2.16(a)), 22 nm (Figura 2.16(b)) y 16 nm (Figura 2.16(c)), respectivamente.



(a) 32 nm.



(b) 22 nm.



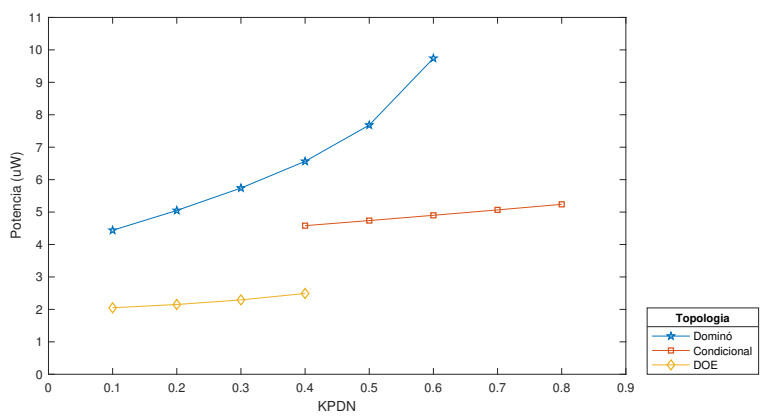
(c) 16 nm.

Figura 2.16: Comparación de retrasos frente a UGN normalizado en PTM.

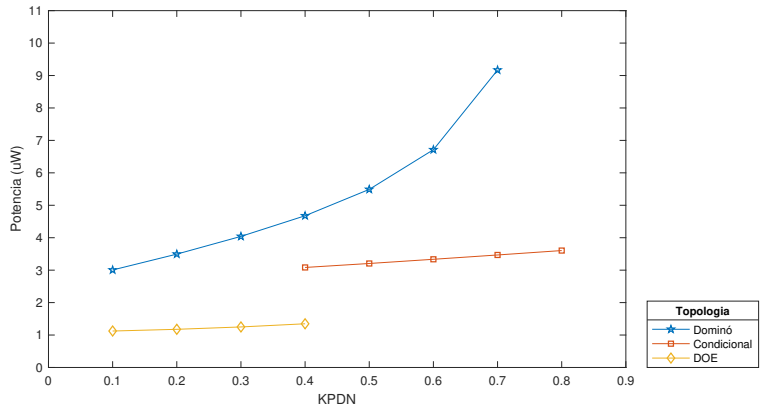
Se observa que la topología Dominó es la que exhibe los mayores retrasos y que, además, crecen muy rápido. La pendiente de la curva es mucho menor para la topología condicional y, como ya se indicó, el retraso es constante para la topología DOE. Sin embargo, Dominó es la única topología para la que tenemos soluciones en todo el rango de valores de  $K_{PDN}$  explorados. Recordemos que condicional con  $K_{PDN}$  por debajo de 0.4 han sido descartados por requerir un transistor *keeper* débil más pequeño que el mínimo de la tecnología.

Para  $K_{PDN} = 0.6$ , el retraso de la topología Dominó es un 141 % (32 nm), 101 % (22 nm) y un 72 % (16 nm) superior al de la topología condicional. Para  $K_{PDN} = 0.4$ , el de Dominó es un 77 % (32 nm), 85 % (22 nm) y un 95 % (16 nm) superior al de DOE. Para este mismo valor de  $K_{PDN}$ , el de la condicional es un 19 % (32 nm), 27 % (22 nm) y un 44 % (16 nm) superior al de DOE. Como esperábamos, las topologías Dominó y condicional alcanzan valores de UGN más altos, a costa de un mayor retraso si se compara con la topología DOE. Se observa un rango amplio de tolerancia al ruido en el que DOE es muy competitivo.

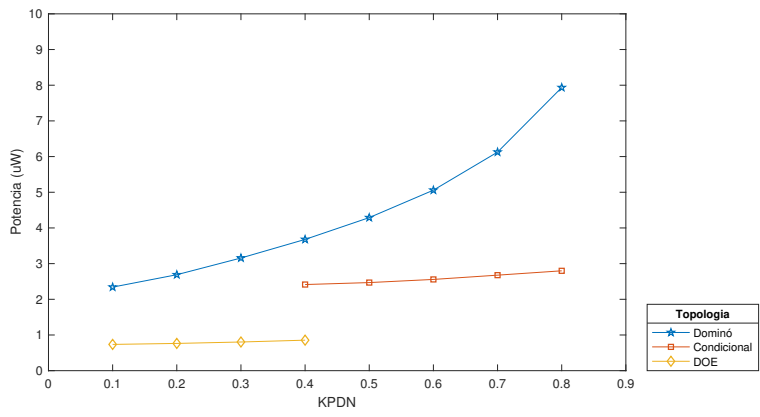
La Figura 2.17 muestra el consumo de potencia frente a  $K_{PDN}$  para cada nodo tecnológico. En los tres casos, como era de esperarse, la potencia se incrementa con  $K_{PDN}$ . Este incremento es menor en las topologías condicional y DOE. En el primer caso, el transistor *keeper* activo durante la evaluación es la cuarta parte del transistor *keeper* de la topología Dominó. La corriente de contención es mucho menor y esto explica las diferencias en consumo de potencia. Por ejemplo, para  $K_{PDN} = 0.4$ , el transistor *keeper* débil de la topología condicional es equivalente al transistor *keeper* de Dominó para  $K_{PDN} = 0.1$ . En el caso de DOE, no hay diferencias con Dominó en cuanto al transistor *keeper* que está activo, y que por tanto contribuye con corriente de contención. Las diferencias se explican por la menor actividad que presenta el nudo de salida de DOE. En Dominó y condicional, las combinaciones de entrada que descargan el nodo dinámico provocando también una transición del nodo de salida. Todas las combinaciones de entrada menos una tienen este comportamiento. En DOE, estas combinaciones también descargan el nodo dinámico, pero ni la salida de la NAND, ni el nodo de salida presentan transiciones. Para  $K_{PDN} = 0.6$ , la potencia de la topología condicional es, aproximadamente, un 50 % de la potencia de la topología Dominó, en los tres nodos tecnológicos. Para  $K_{PDN} = 0.4$ , DOE consume un 54 % (32 nm), un 43 % (22 nm) y un 35 % (16 nm) de la potencia de la topología condicional. Para este mismo valor de  $K_{PDN}$ , la potencia de DOE es un 37 % (32 nm), un 28 % (22 nm) y un



(a) 32 nm.



(b) 22 nm.



(c) 16 nm.

Figura 2.17: Comparación de consumo de potencia en PTM.



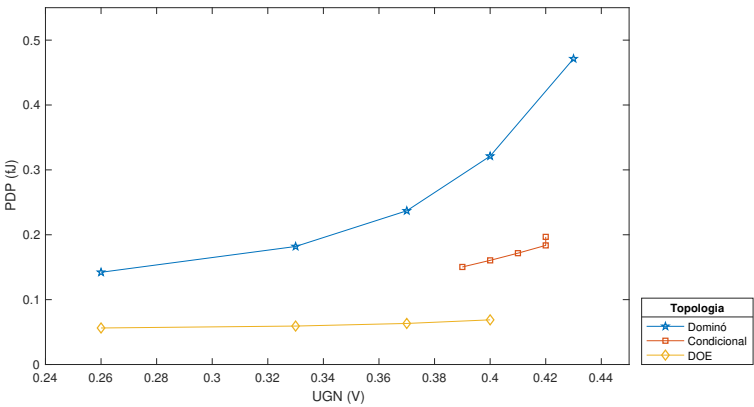
23 % (16 nm) de la de Dominó.

También se ha calculado el producto potencia-retraso (PDP). En la Figura 2.18 se muestra la relación PDP-UGN normalizado de cada topología en 32 nm (Figura 2.18(a)), 22 nm (Figura 2.18(b)) y 16 nm (Figura 2.18(c)), respectivamente. En el rango de UGN normalizado entre 0.29 y 0.44, DOE es muy competitiva, como ya hemos señalado. En UGN normalizado = 0.44, DOE exhibe un PDP que es el 50 % (32 nm), el 33 % (22 nm) y el 25 % (16 nm) del PDP de condicional y el 21 % (32 nm), el 15 % (22 nm) y el 12 % (16 nm) del PDP de Dominó.

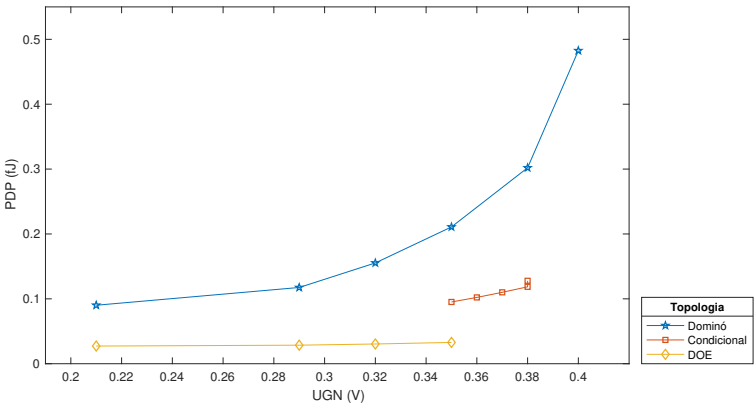
Los resultados presentados muestran la superioridad de DOE en un amplio rango de valores de UGN respecto a Dominó. Además, este rango es posiblemente el de mayor interés práctico, teniendo en cuenta que se trata de una puerta NOR de 16 entradas y que el experimento de caracterización de ruido asume pulsos de ruido aplicados a las 16 entradas. Utilizar puertas con mayor UGN en este caso limitaría excesivamente la degradación del “1” lógico que es evaluada correctamente. No obstante, hay un rango de valores de UGN para los que no disponemos de diseños DOE válidos, y para el que resultaría interesante explorar su comportamiento, ya que es en el que Dominó experimenta el incremento de retrasos más significativo. Recordemos que debido a la ocurrencia de *glitches*, únicamente se habían considerado válidos los diseños DOE con valores de  $K_{PDN}$  hasta 0.4. Hemos rediseñado la puerta para poder evaluar *keepers* por encima de ese valor. El rediseño mantiene el dimensionamiento de la etapa dinámica y modifica los inversores que generan la señal de reloj retrasada y la puerta NAND. La Figura 2.19 muestra los resultados obtenidos. En los tres nodos explorados tenemos ahora resultados hasta  $K_{PDN} = 0.8$ . Para los valores entre 0.5 y 0.8 los retrasos son ligeramente superiores a los obtenidos con el dimensionamiento inicial de los inversores que generan el reloj y la puerta NAND. Sin embargo se mantiene muy competitivo respecto a Dominó y ligeramente mejor que la topología con keeper condicional.

Finalmente y puesto que el transistor *FinFET* es uno de los mejores candidatos para superar las restricciones de los CMOS convencionales (CMOS bulk) en tecnologías profundamente escaladas, hemos considerado relevante evaluar y comparar las topologías Dominó y DOE usándolos. Se han utilizado modelos predictivos de transistores FinFET de 20 nm y se ha realizado un experimento similar al anterior para explorar compromisos velocidad-inmunidad al ruido. La Figura 2.20 muestra los resultados obtenidos para las dos topologías. En todo el rango de valores de UGN explorado, DOE es más rápido que Dominó. Las diferencias, como ocurría anteriormente, se

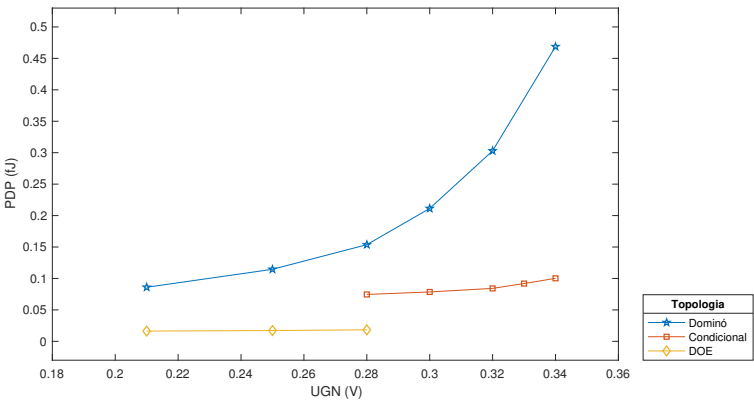
hacen más importantes cuando aumentamos la tolerancia al ruido. Se observa que se ha utilizado un único dimensionado de los inversores generadores de la señal de reloj y de la puerta NAND para todos los keepers estudiados, y por ello, el retraso de DOE es constante. Es interesante mencionar que el criterio elegido ahora para aceptar un diseño DOE es menos restrictivo que el que habíamos utilizado anteriormente. Esto se justifica en base a nuestra experiencia en el desarrollo de arquitecturas nanopipeline, con capacidad para tolerar *glitches* con niveles de tensión más altos que los que habíamos estado considerando. Achacamos a ello las mayores diferencias de retrasos obtenidas entre las dos topologías, y no al uso de otro tipo de transistor.



(a) 32 nm.

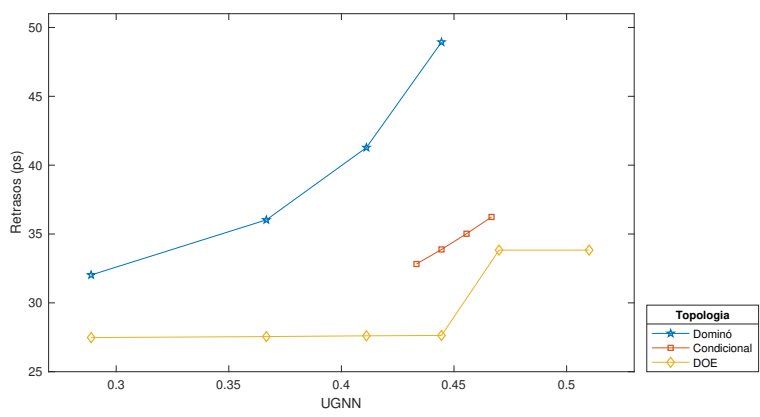


(b) 22 nm.

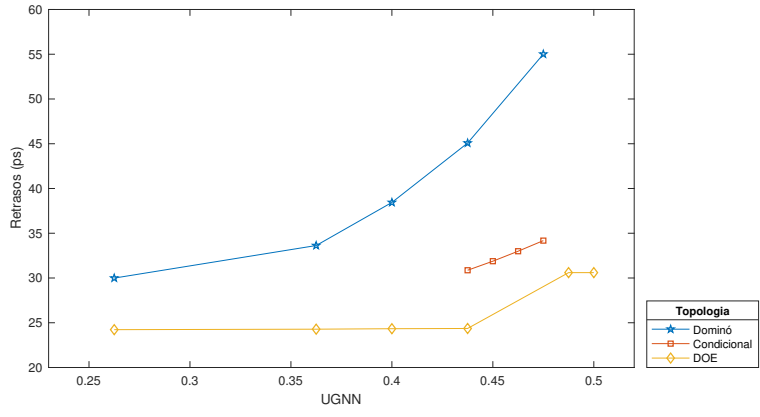


(c) 16 nm.

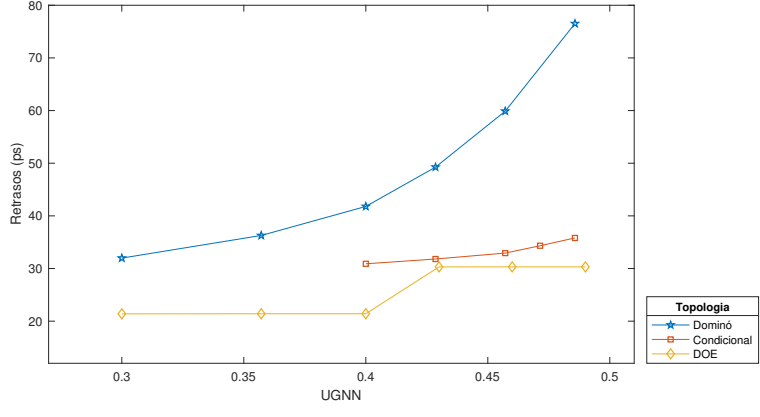
Figura 2.18: Comparación de PDP frente a UGN en PTM.



(a) 32 nm.



(b) 22 nm.



(c) 16 nm.

Figura 2.19: Comparación de retrasos frente a UGN normalizado en PTM.

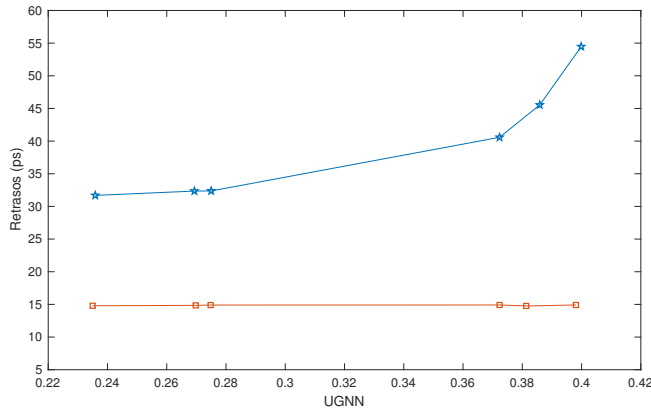


Figura 2.20: Comparación de retrasos frente a UGN normalizado en FinFET.

## 2.4. Conclusiones.

Se ha desarrollado una topología de puerta dinámica (DOE) que presenta un mejor compromiso entre la velocidad y la tolerancia al ruido que Dominó en tecnologías DSM. A diferencia de las propuestas previamente reportadas y que se describieron en el Capítulo 1, DOE no modifica la etapa dinámica sino la etapa de salida. De esta forma, se desacopla parcialmente el retraso de la puerta de la velocidad de descarga del nudo dinámico. Esto permite incrementar la fortaleza del transistor *keeper* sin tanto impacto sobre su retraso. Se mejora por tanto su inmunidad al ruido sin degradar excesivamente su velocidad. Además la topología DOE es inversora lo que tiene implicaciones positivas desde el punto de vista del diseño lógico.

Se ha realizado una caracterización extensiva de puertas Dominó, Dominó con *keeper* condicional y DOE con el objetivo de evaluar el compromiso retraso-UGN, utilizando una herramienta de automatización desarrollada para ello. Esta herramienta toma como entrada un *netlist* de la puerta y una *look up table* para describir su funcionalidad y genera los *scripts* de simulación y analiza sus resultados para determinar si su funcionalidad es correcta y medir sus retrasos, su potencia y su UGN.

Los experimentos llevados a cabo con modelos de transistores predictivos en distintos nodos DSM (PTM 32 nm, 22 nm y 16 nm) muestran como, efectivamente en Domino, las ventajas de velocidad asociadas al escalado son contrarrestadas por la necesidad de incrementar el transistor *keeper*, como consecuencia de las mayores corrientes de fugas.

Los resultados obtenidos en esas mismas tecnologías muestran que DOE exhibe retrasos significativamente menores que Dominó para los valores más altos de UGN explorados. Estos retrasos también están por debajo de los que presentan las puertas con *keeper* condicional. Se ha completado el análisis evaluando las topologías estudiadas en una tecnología FinFET (PTM 20 nm), concluyéndose que también en este caso DOE es ventajosa.

Las reducciones de retraso obtenidos con DOE en nuestros experimentos respecto a Dominó comparan favorablemente con los reportados en la literatura para otras topologías. No se han realizado comparaciones detalladas con dichas topologías por distintos motivos. En primer lugar, una comparación directa con los resultados publicados no es fácil, ya que se utilizan distintas figuras de mérito para medir la tolerancia al ruido y las ventajas de velocidad obtenidas varían en función del nivel de inmunidad requerido para el diseño. Por otra parte, las conclusiones de un experimento en el que se evaluarán otras topologías, como se ha hecho para Dominó y Dominó con *keeper* condicional, podría verse afectado por un diseño deficiente, como ya se ha comentado en el caso de esta última. Por último, pero más importante, DOE no es sólo una alternativa a otras técnicas propuestas para mejorar Dominó, sino que podría complementarse con ellas. Esto es, los principios en que se basan otras soluciones, pueden, en muchos casos, aplicarse a DOE. Por ejemplo, es posible diseñar una puerta DOE con *keeper* condicional.

## Capítulo 3

# Análisis de arquitecturas *superpipeline*.

En las técnicas de *pipeline* convencionales existe una profundidad de *pipeline* óptima debido a los costes asociados a los registros añadidos y a las redes de distribución de reloj. Cuando se incrementa el número de etapas de *pipeline*, para reducir más los retrasos de propagación de la lógica combinacional, las penalizaciones en términos de retrasos de propagación y de establecimiento de los elementos de memoria y las no idealidades de los relojes se convierten en una parte importante del período y por tanto, solo se utiliza una fracción del tiempo disponible para computación útil. Es decir, en arquitecturas basadas en elementos de memoria hay límites al incrementar la frecuencia de operación mediante la reducción del número de niveles de puertas por etapa de *pipeline*. Por otra parte, no solo hay penalizaciones de temporización asociados a los registros y a la red de distribución de reloj, sino también penalizaciones en términos de área y potencia. Muchos estudios han evaluado estas profundidades óptimas en distintos escenarios incluyendo los sistemas de altas prestaciones [90], para lograr buenos compromisos potencia-prestaciones [91] o en contexto de tensiones de polarización ultra bajas [92].

En el Capítulo 1 se introdujo la arquitectura *superpipeline*, en la que redes de puertas Dominó operan con múltiples fases de reloj solapadas, permitiendo eliminar los elementos de memoria de los pipelines convencionales, incrementando la robustez a las no idealidades de las señales de reloj y soportando el *time borrowing* entre fases. Puesto que no se introducen elementos de memoria, reduciendo el número de niveles de puerta por etapa, la frecuencia de operación y el rendimiento podrían mejorar sin penalizaciones

de área, temporales o de energía asociadas a los mismos. Por tanto, podría ser competitivo un pipeline muy agresivo.

En este capítulo se analiza la arquitectura *superpipeline* con respecto al número de niveles de puerta por fase de reloj y, en particular, el caso extremo de un único nivel (que denominamos *nanopipeline*). Se considera no sólo la frecuencia de funcionamiento, sino otros criterios de diseño tales como la potencia, la energía o la tolerancia al ruido. Se han propuesto otras arquitecturas con una sola puerta por fase de reloj que han demostrado altas frecuencias de operación y *throughput* [60, 66, 70, 93, 94]. Hasta donde sabemos, no hay trabajos previos que se centren en la aplicación de *pipelines* Dominó muy finos a otros escenarios.

El capítulo se ha estructurado en tres apartados. En el primero, se realiza un análisis de *superpipelines* con distintas profundidades, bajo restricciones fijas de *throughput*, en términos de energía, tolerancia al ruido o robustez. En el segundo se muestra la operación de *nanopipelines* construidos con puertas DOE. Finalmente, se ilustran las dificultades ya conocidas que exhiben los *superpipelines* Dominó en un esquema de dos fases y se estudia el comportamiento de los DOE en este escenario.

### 3.1. Arquitectura *superpipeline*.

La Figura 3.1(a) muestra un diagrama de bloques de un *superpipeline* Dominó empleando un reloj de tres fases. Se muestran dos etapas de *pipeline*. Hay tres fases de reloj en cada etapa de *pipeline* y dos niveles de puerta por fase de reloj. Por tanto, hay seis niveles de puerta por etapa de *pipeline*.

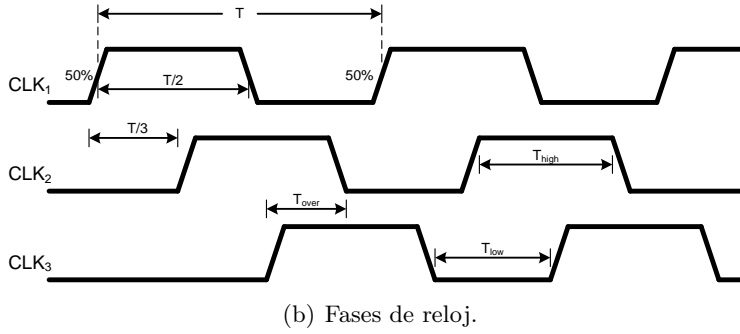
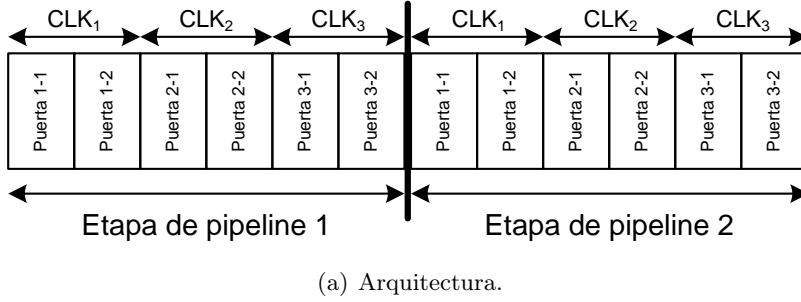
La Figura 3.1(b) muestra las fases de reloj requeridas para operar el circuito de la Figura 3.1(a). El período se define como  $T$ . Cada fase se retrasa  $T/3$  respecto a la fase anterior y  $T_{over}$  es el solape entre ellas. Para el caso general de  $N$  fases, las fases consecutivas se retrasan  $T/N$ .  $T_{low}$  y  $T_{high}$  no son necesariamente idénticos.

En [28] se derivan restricciones para la operación correcta de estas arquitecturas. En primer lugar, se impone que la fase de precarga sea lo suficientemente amplia para garantizar que la salida de cada puerta Dominó (por ejemplo, la Puerta 1-1 en la Figura 3.1(a)) se precargue en bajo antes que la siguiente puerta en la misma fase comience a evaluar (Puerta 1-2). Indicando el retraso de precarga con  $t_{pre}$ , esta restricción se define como:

$$T_{low} > t_{pre} + t_{skew1} \quad (3.1)$$

$t_{skew1}$  se suma para garantizar que la restricción se cumple incluso en el



Figura 3.1: Operación de *pipeline*.

peor de los casos, correspondiendo a que la fase de reloj alcance la primera puerta después que la segunda.

En segundo lugar, el solape entre dos fases consecutivas ( $T_{over}$ ) debe ser lo suficientemente amplio para que la salida de cada puerta Dominó haya sido evaluada por las puertas en la siguiente fase antes de su precarga ( $t_{hold}$ ). De nuevo, el tiempo de *skew* se suma para garantizar que esto se satisface incluso en el peor caso, correspondiendo a que el flanco de bajada de la fase de reloj de la primera etapa se adelante y el flanco de subida de la segunda fase se retrase. Se ha presupuestado un tiempo de *skew* diferente ( $t_{skew2}$ ) con el fin de distinguirlo de  $t_{skew1}$ , que involucra un único flanco de una fase de reloj y, por tanto, se espera que sea menor. Finalmente, se tiene en cuenta  $t_{borrow}$ , ya que la fase previa puede tomar prestado para completar su evaluación el tiempo de solape en exceso de  $t_{hold}$  y  $t_{skew2}$ .

$$T_{over} > t_{hold} + t_{skew2} + t_{borrow} \quad (3.2)$$

De acuerdo con 3.2, existe un compromiso entre la tolerancia al *skew* y el tiempo disponible para préstamo entre fases. Por otra parte:

$$T_{over} = T - T_{low} - T/N = (N - 1)T/N - T_{low} \quad (3.3)$$

Por tanto, puesto que  $T_{over}$  aumenta con  $N$ , al aumentar el número de fases, se incrementa la cantidad de *skew* y  $t_{borrow}$  que pueden tolerar.

En base a las expresiones 3.1, 3.2 y 3.3, en [28] se llevan a cabo diferentes evaluaciones. Primero, se evalúa el máximo *skew* de reloj para diferentes valores de  $N$ , asumiendo todos los demás parámetros ( $T$  y  $t_{pre}$ ) constantes y considerando un  $t_{borrow} = 0$ . Segundo, se evalúa el máximo  $t_{borrow}$  asumiendo todos los demás parámetros ( $T$ ,  $t_{skew}$  y  $t_{pre}$ ) constantes. Estas evaluaciones se realizan para frecuencias de funcionamiento idénticas (restricción de *throughput* fijo). En este escenario se concluye que, a pesar de que  $t_{skew}$  aumenta con  $N$ , el grado de mejora se reduce rápidamente. Estos resultados están de acuerdo con el número de fases de reloj utilizados en diferentes implementaciones comerciales de este esquema de múltiples fases, que está entre 3 y 6 [9].

En el análisis descrito los autores derivan la relación entre el *duty cycle*, el número de fases de reloj, el *skew* y el *time borrowing*, y comparan soluciones con diferente número de fases de reloj suponiendo periodos idénticos. Sin embargo, las expresiones 3.1 - 3.3 son independientes del número de niveles de puerta por fase de reloj y de sus retrasos. Esto es, el número de niveles lógicos por fase de reloj no se tiene en cuenta explícitamente. Parece estar implícito en este trabajo que el número de niveles lógicos por fase de reloj se reduciría con el número de fases de reloj, de manera que la profundidad lógica por etapa de pipeline se mantendrá constante.

El número de niveles de puertas por fase y la velocidad de cada una de ellas están directamente relacionados con el valor mínimo de  $T$  con la que el circuito puede operar, y así con su frecuencia de funcionamiento y su rendimiento. La mejora de estas figuras de mérito es la primera motivación para la aplicación del *pipeline*, pero, como veremos más adelante, se pueden obtener otras ventajas. Por lo tanto, es interesante analizar el impacto del número de niveles de puertas y sus retrasos en estas arquitecturas *superpipeline*. Este análisis se lleva a cabo en el siguiente subapartado.

### 3.1.1. Impacto de los retrasos de evaluación.

En este apartado, el análisis asume un número determinado de fases de reloj y se consideran los retrasos de evaluación de la lógica. Es evidente que el tiempo empleado por las puertas de cada etapa de *pipeline* va a limitar el período mínimo de la señal de reloj. Formalmente, podemos afirmar que el retraso de evaluación a través de una fase de reloj ( $t_{eval}$ ) debe satisfacer:

$$t_{eval} < T/N + t_{borrow} \quad (3.4)$$

Ya que,  $T/N$  es la separación entre los flancos de subida de fases consecutivas. Este es el tiempo disponible para evaluar la lógica combinacional de una fase de reloj.  $t_{borrow}$  se suma para permitir una cierta cantidad de tiempo de préstamo entre fases consecutivas, como ya se ha mostrado en la expresión 3.2.

De acuerdo con 3.4, el mínimo  $T$  factible aumenta con  $N$ . Para un  $N$  fijo, claramente,  $t_{eval}$  limita a  $T$  y en consecuencia, la frecuencia de operación.  $t_{eval}$  se reduce si se reduce el número de niveles de puerta por fase de reloj. Sin embargo, esta no es la única aplicación posible de aumentar la profundidad del *pipeline* (reduciendo  $t_{eval}$ ). También la eficiencia energética o la robustez del diseño podrían beneficiarse como se explica a continuación.

Al aumentar la profundidad del *pipeline*:

1.  $T$  se reduce (de acuerdo con la expresión 3.4), y así, la frecuencia de operación y el *throughput* aumentan como ya se ha indicado y explicado.
2. Asumiendo la restricción de un  $T$  fijo, 3.4 se relaja y entonces:
  - La tensión de alimentación podría reducirse y todavía 3.4 se cumpliría. La reducción de la tensión de alimentación reduce la potencia y la energía.
  - El transistor *keeper* podría hacerse más fuerte y todavía la expresión 3.4 se cumpliría. El aumento de tamaño del transistor *keeper* aumenta la tolerancia al ruido.
  - Las variaciones de los parámetros de proceso podrían aumentar y todavía la expresión 3.4 se cumpliría.
  - El *skew* de reloj podría aumentar y todavía la expresión 3.4 se cumpliría ya que, para un  $T/N$  fijo,  $t_{borrow}$  se reduce, permitiendo más tiempo  $t_{skew2}$  en 3.2.
  - Es evidente que el número de etapas de *pipeline* aumenta, por lo que, en términos de latencia de ciclos de reloj se degrada. Sin embargo, la comparación de latencia final dependerá de la frecuencia de operación.

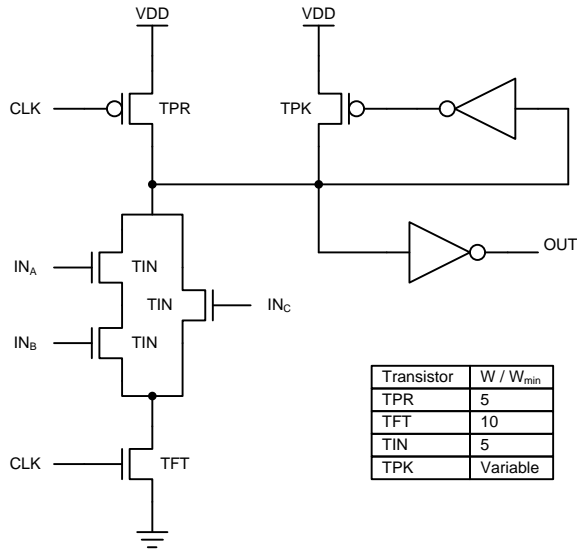


Figura 3.2: Puerta Dominó utilizada en los experimentos.

3. Se pueden obtener mejores compromisos entre las figuras de mérito anteriores. Esto es interesante desde un punto de vista práctico para conseguir circuitos con un buen compromiso de velocidad-energía y una robustez razonable en los circuitos.

El análisis anterior indica que, a diferencia de los *pipeline* convencionales, los *pipeline* Dominó con relojes de múltiples fases solapados podrían beneficiarse de un *pipeline* muy agresivo. El caso límite es un nivel de puerta por fase de reloj. Esto es, una arquitectura *nanopipeline*.

### 3.1.2. Resultados de simulación con diferentes arquitecturas.

Se han llevado a cabo distintos experimentos de simulación para probar las afirmaciones anteriores y cuantificar las ventajas del uso de *pipeline* de una puerta por fase de reloj (*nanopipeline*). Se han analizado *superpipelines* contruidos a partir de 24 puertas Dominó interconectadas y configuradas con una señal de reloj de tres fases. La Figura 3.2 muestra la puerta Dominó seleccionada y su dimensionamiento.

Las simulaciones se han realizado en una tecnología CMOS comercial de 130nm y 1.2V. La longitud del canal de todos los transistores se ha

seleccionado como el mínimo de la tecnología. En los experimentos se han utilizado tres tamaños diferentes para el transistor *keeper*, denominados *keeper* pequeño (S), intermedio (M) y grande (L). El tamaño del transistor *keeper* intermedio es el doble del *keeper* más pequeño. El tamaño del transistor *keeper* grande es el doble que el del transistor *keeper* intermedio.

Esta puerta es un elemento clave en arquitecturas de sumadores comúnmente utilizados, como los *Kogge Stone*. Las puertas están conectadas de tal manera que los cambios en la entrada se propagan a través del circuito y cada puerta se excita con la combinación de entrada de peor caso.

Se han simulado cuatro arquitecturas:

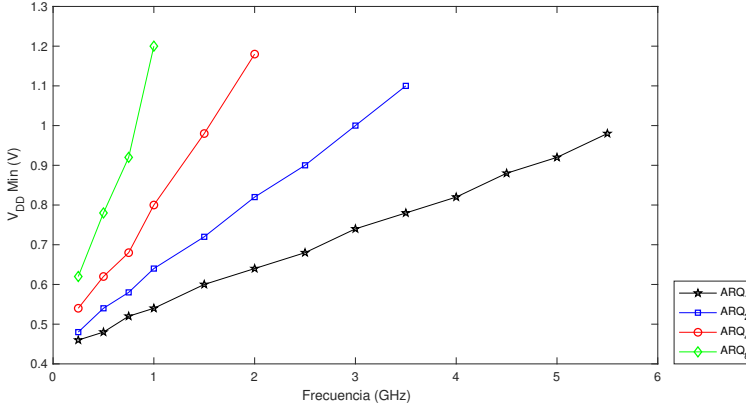
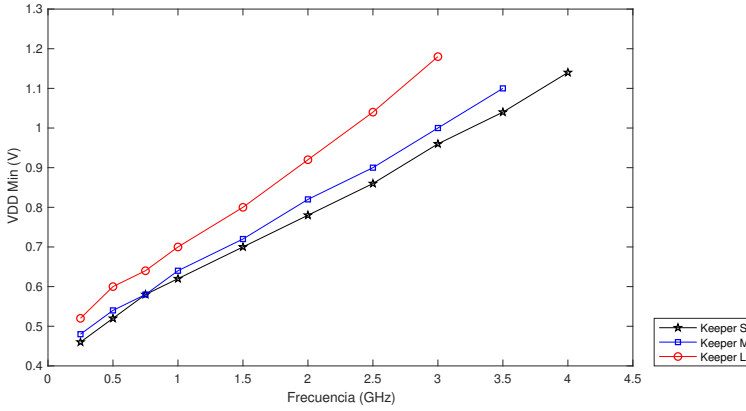
- $ARQ_8$ : ocho puertas por fase de reloj.
- $ARQ_4$ : cuatro puertas por fase de reloj.
- $ARQ_2$ : dos puertas por fase de reloj.
- $ARQ_1$ : una sola puerta por fase de reloj.

**Primer experimento.** Las cuatro arquitecturas se han simulado a diferentes frecuencias para determinar la tensión de alimentación mínima ( $V_{DD}$ ) a la que se obtiene un funcionamiento correcto. Se aplican modelos típicos de transistores (TT) y relojes ideales. Se ha medido la potencia para cada arquitectura con este  $V_{DD}$  mínimo. Se ha aplicado la misma secuencia de entrada alternando “0” y “1” a las cuatro arquitecturas.

La Figura 3.3(a) muestra los valores mínimos de  $V_{DD}$  para cada arquitectura con un transistor *keeper* intermedio a diferentes frecuencias. Se observa como la frecuencia máxima de  $ARQ_1$  está por encima de la frecuencia máxima del experimento.  $ARQ_1$  trabaja en esta frecuencia con un  $V_{DD}$  reducido de 0.92V.

La Figura 3.3(b) muestra los valores mínimos de  $V_{DD}$  para  $ARQ_2$  con los tres tamaños del transistor *keeper*. Se observa que, ni siquiera con un tamaño de *keeper* pequeño, se puede llegar a una frecuencia máxima de operación.

La Figura 3.4(a) muestra los resultados de potencia. De las cuatro arquitecturas con *keeper* intermedio, se observa que, al igual que en la Figura 3.3(a), la frecuencia máxima de funcionamiento se reduce con el número de niveles de puerta por fase de reloj, y que la potencia aumenta con

(a) Para las cuatro arquitecturas con transistor *keeper* intermedio.(b) Con tres tamaños de transistor *keeper* para  $ARQ_2$ .Figura 3.3:  $V_{DD}$  mínimo frente a frecuencia.

la frecuencia. Se puede observar que, para una frecuencia fija, la potencia se reduce con el número de niveles de puerta por fase de reloj ya que la tensión de alimentación mínima es inferior.  $ARQ_2$  puede funcionar a la frecuencia máxima de funcionamiento de  $ARQ_4$  con menos de la mitad de potencia (43 %).  $ARQ_1$  puede funcionar a la frecuencia máxima de funcionamiento de  $ARQ_2$  con un 44 % de su potencia.

La Figura 3.4(b) muestra gráficos de potencia para  $ARQ_2$  con los tres tamaños del transistor *keeper*. Se observa que la frecuencia se reduce ligeramente y la potencia se incrementa con el tamaño del *keeper*. Mejorar la tolerancia al ruido mediante el aumento de la fuerza del *keeper* se penaliza

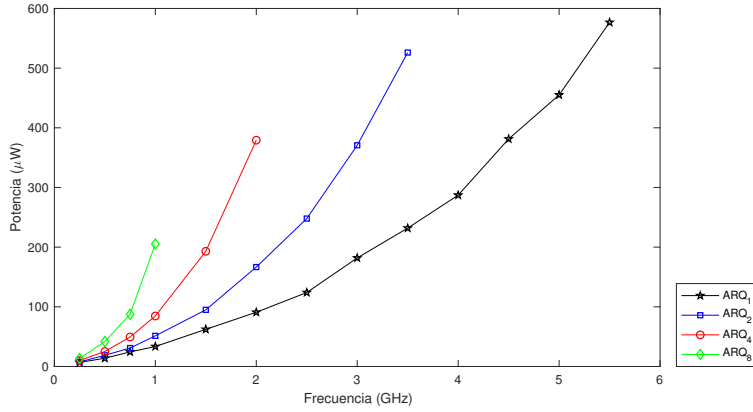
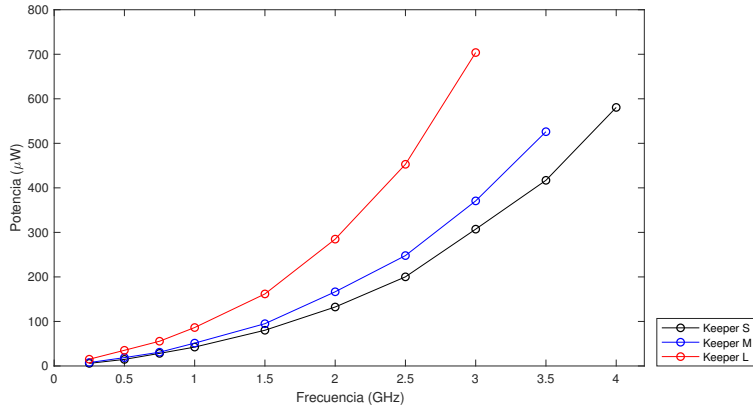
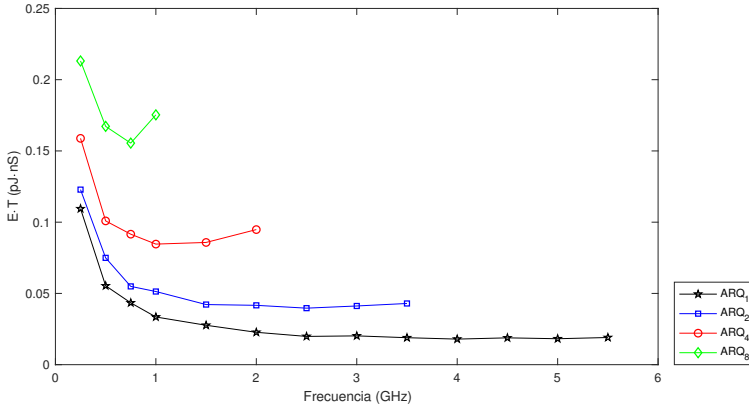
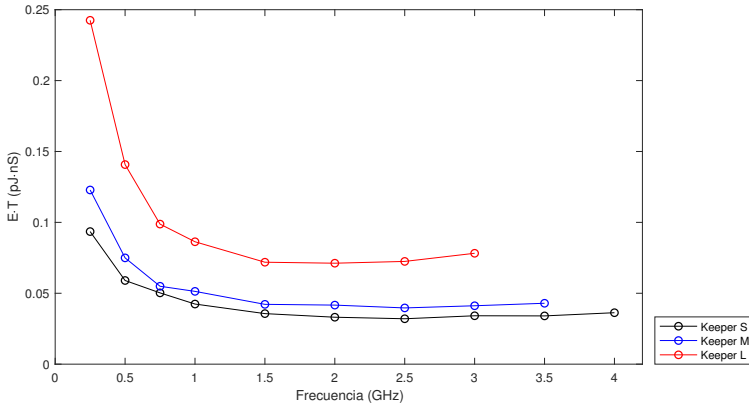
(a) Para las cuatro arquitecturas con transistor *keeper* intermedio.(b) Con tres tamaños de transistor *keeper* para  $ARQ_2$ .

Figura 3.4: Potencia frente a frecuencia.

en términos de velocidad y potencia. Se ha obtenido un comportamiento similar para las otras tres arquitecturas.

La Figura 3.5 muestra el producto  $Energía * T$  o  $Potencia * T^2$ , una métrica útil para evaluar el compromiso energía-velocidad. La Figura 3.5(a) compara resultados para las cuatro arquitecturas con transistores *keeper* idénticos y la Figura 3.5(b) representa los resultados para  $ARQ_2$  con los tres tamaños de transistor *keeper* explorados.

Como era de esperar, para una frecuencia fija,  $E * T$  se reduce cuando lo hace el número de niveles de puerta por fase de reloj (Figura 3.5(a)) o el tamaño del transistor *keeper* (Figura 3.5(b)), así como la potencia. Se

(a) Para las cuatro arquitecturas con transistor *keeper* intermedio.(b) Con tres tamaños de transistor *keeper* para  $ARQ_2$ .Figura 3.5: Producto  $E \cdot T$ .

puede observar que el producto  $E \cdot T$  se mantiene casi constante para las frecuencias de operación de más de 1 GHz.

**Segundo experimento.** Repetimos el primer experimento usando un análisis de córners (incluyendo SS, FF, SF y FS) para determinar el  $V_{DD}$  mínimo. La Figura 3.6 muestra los resultados de potencia frente a frecuencia. La Figura 3.6(a) presenta resultados para las cuatro arquitecturas con el tamaño del transistor *keeper* intermedio y la Figura 3.6(b) resultados para  $ARQ_2$  con los tres tamaños de transistor *keeper*.

La Figura 3.7(a) compara  $E \cdot T$  para las cuatro arquitecturas con un



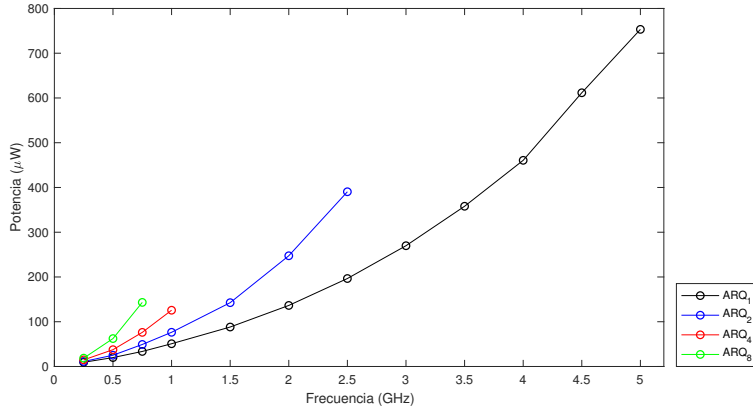
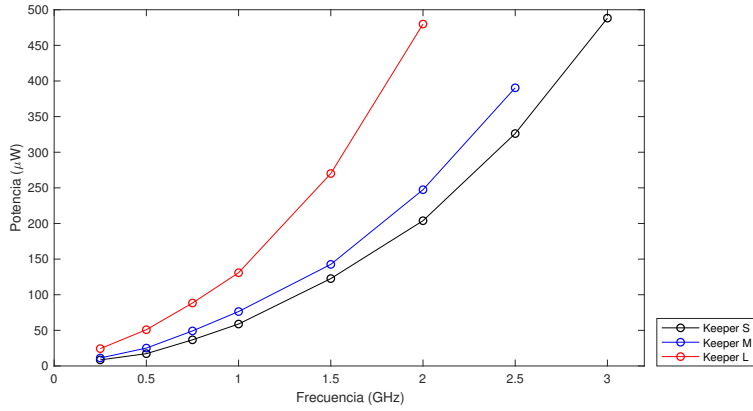
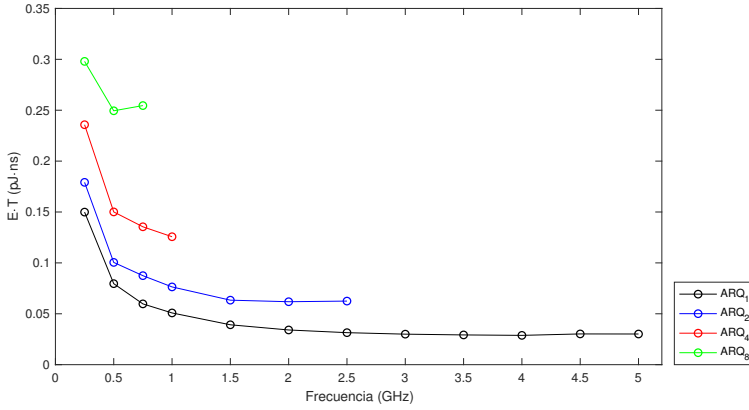
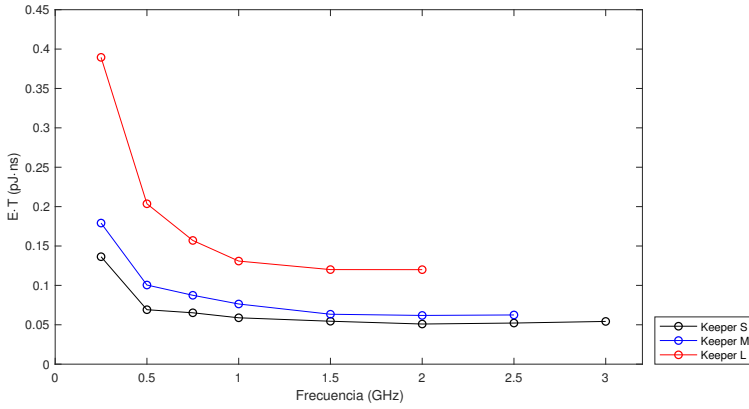
(a) Para las cuatro arquitecturas con transistor *keeper* intermedio.(b) Con tres tamaños de transistor *keeper* para  $ARQ_2$ .

Figura 3.6: Potencia frente a frecuencia en segundo experimento.

transistor *keeper* intermedio y la Figura 3.7(b) representa los resultados para  $ARQ_2$  con los tres transistores *keeper*. Se observan las mismas tendencias y extraen las mismas conclusiones que en el análisis nominal. Sin embargo, es interesante comparar los resultados obtenidos de ambos experimentos.

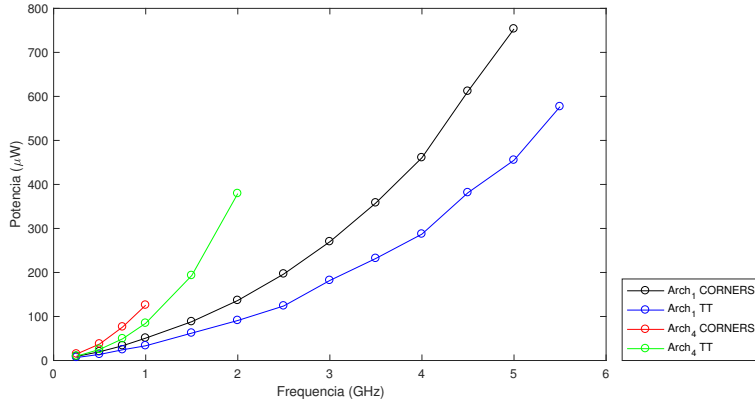
La Figura 3.8(a) muestra los resultados de potencia de ambos experimentos para  $ARQ_1$  y  $ARQ_4$  (simulaciones TT para el Experimento 1 y análisis de córners para el Experimento 2). Se observa, como era de esperar, que aumenta la potencia en el Experimento 2. Se requieren valores más altos de  $V_{DD}$  para lograr un funcionamiento correcto de córners para el caso TT. También la frecuencia máxima de funcionamiento se reduce en

(a) Para las cuatro arquitecturas con transistor *keeper* intermedio.(b) Con tres tamaños de transistor *keeper* para  $ARQ_2$ .Figura 3.7: Producto  $E \cdot T$  en segundo experimento.

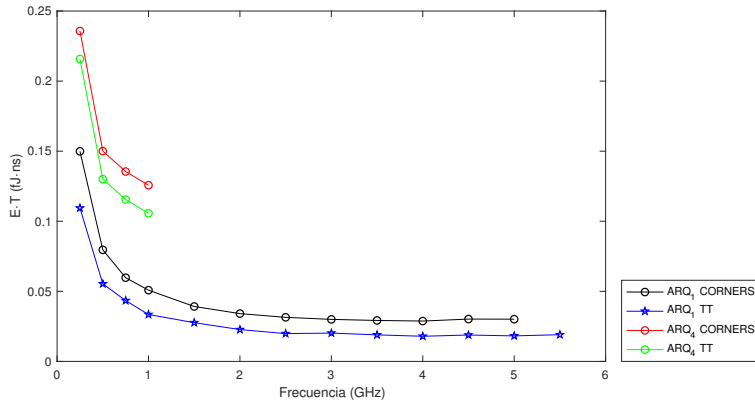
el Experimento 2. Es interesante notar que se obtienen resultados mejores para  $ARQ_1$  con córners que con  $ARQ_4$  TT. Es decir, la potencia de  $ARQ_1$  con  $V_{DD}$  suficientemente alto para soportar variaciones de los parámetros de córners es más baja que la potencia de  $ARQ_4$  a esa misma frecuencia, garantizando un correcto funcionamiento en TT solamente.

La Figura 3.8(b) muestra los resultados de  $E \cdot T$  para  $ARQ_1$  y  $ARQ_4$  para el Experimento 1 (TT) y para el Experimento 2 (córners). Una vez más, es evidente la superioridad de  $ARQ_1$  incluso cuando se opera a un  $V_{DD}$  suficiente para tolerar variaciones de los parámetros de córners.

La Figura 3.9 compara la energía de  $ARQ_2$  y  $ARQ_4$  con la energía de



(a) Potencia frente a frecuencia.

(b) Producto  $E \cdot T$ .Figura 3.8: Análisis nominal y de córners de  $ARQ_1$  y  $ARQ_4$ .

$ARQ_1$  con un transistor *keeper* que es dos veces más ancho y con un  $V_{DD}$  lo suficientemente alto como para tolerar variaciones de los parámetros de córners. Los resultados muestran cómo el uso de un menor número de niveles por fase se puede aplicar simultáneamente para mejorar la velocidad, la robustez y la tolerancia al ruido, mientras se ahorra energía. Por ejemplo, la comparación de los puntos A y B muestra que  $ARQ_1$  puede soportar córners a 3 GHz y tolerar niveles de ruido más altos y con menos energía que el diseño  $ARQ_4$  de 1.5 GHz, que no tolera córners y que tolera menos ruido. Es decir, reduciendo el número de puertas por fase de reloj, se pueden lograr compromisos más competitivos entre los diferentes criterios de diseño.

Es bien sabido que si se consideran las variaciones *intra-die*, la reduc-

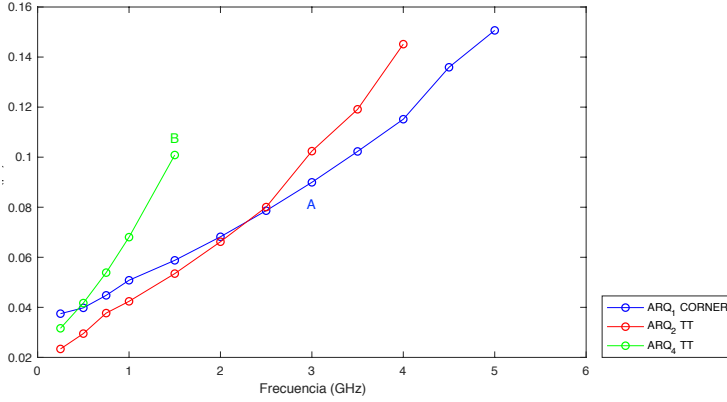


Figura 3.9: Energía frente a frecuencia comparando  $ARQ_2$  y  $ARQ_4$  TT y córners de  $ARQ_1$ .

ción del número de niveles lógicos incrementa la variabilidad (medida en términos de la razón entre la desviación estándar y la media del retraso) ya que se reducen los efectos de cancelación (los retrasos de unas puertas se incrementan y los de otras se reducen resultando en una menor variación global) [95]. En este sentido, incrementar la profundidad del pipeline, que reduce el número de niveles lógicos, sería negativo. Sin embargo, hay que hacer algunas puntualizaciones. En primer lugar, el impacto depende mucho del peso relativo de las variaciones *intra-die* e *inter-die*. En segundo lugar, en el contexto de la implementación de pipelines, al reducir el número de niveles lógicos, el número de etapas del *pipeline* se incrementan. Se ha mostrado que esto último reduce la variabilidad asociada a las variaciones *intra-die* [96], compensando el incremento asociado a la reducción del número de niveles.

**Tercer experimento.** Se han empleado relojes no ideales con el fin de explorar la tolerancia al *skew* de las arquitecturas estudiadas. Las simulaciones se han realizado con modelos de transistores típicos y el reloj modelado con no idealidades. La separación nominal entre los flancos críticos de fases consecutivas de reloj se aumenta o se reduce en un porcentaje determinado del ciclo de reloj. Aplicando estas señales de reloj, se pone a prueba el

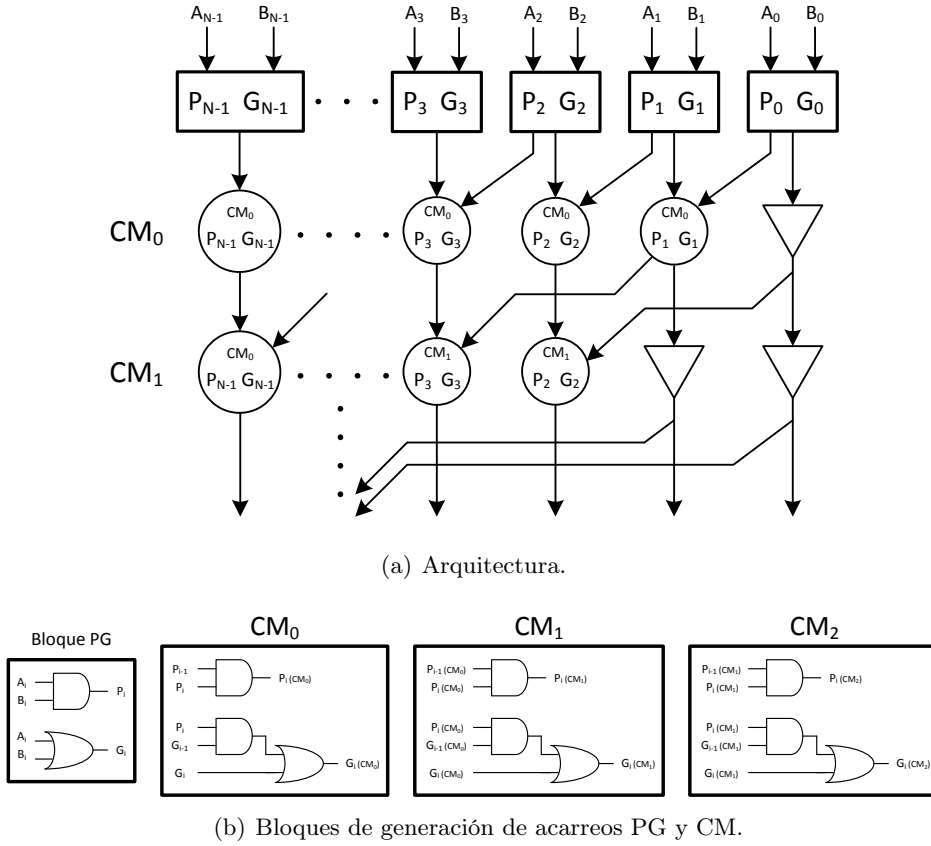
funcionamiento del circuito bajo escenarios críticos. En particular, se han considerado en las simulaciones la reducción de la separación entre los flancos de subida de fases de reloj consecutivas y la reducción de la separación del flanco de subida de una fase y el flanco de bajada de su predecesor. A este último caso le corresponde acortar el tiempo de superposición, que es crítico en muchos casos. El experimento evalúa el porcentaje máximo tolerado.

No se han obtenido ventajas al reducir el número de puertas por fase de reloj para las frecuencias más bajas. Con las señales de reloj con un *duty cycle* del 50 %, el fallo está asociado con la expresión 3.2. Es decir, los circuitos fallan debido a que el solape no es lo suficientemente grande como para dar cabida al *skew* y al tiempo de mantenimiento ( $t_{hold}$ ). Claramente, cuando operamos circuitos muy por debajo de su frecuencia máxima de funcionamiento,  $t_{borrow} = 0$  y, así, el comportamiento es independiente del número de puertas por fase de reloj ya que  $t_{hold}$  es similar para las cuatro arquitecturas. Sin embargo, se han obtenido mejoras cuando se aumenta la frecuencia. Por ejemplo, a 4 GHz,  $ARQ_2$  tolera un *skew* de reloj hasta el 6 % del ciclo de reloj, mientras que  $ARQ_1$  exhibe un funcionamiento correcto con un *skew* de reloj del 15 %. Este resultado puede explicarse sobre la base de las diferencias entre los requisitos de  $t_{borrow}$  para cada arquitectura. Con  $t_{borrow}$  de  $ARQ_2$  mayor que  $t_{borrow}$  de  $ARQ_1$ , y ya que es la suma de  $t_{borrow}$  y  $t_{skew}$  lo que hay que acomodar,  $ARQ_1$  tolera un  $t_{skew}$  mayor que  $ARQ_2$ .

Puesto que  $T_{over}$  aumenta con el *duty cycle*, se han explorado valores más altos para este parámetro. Es evidente que está limitado por la expresión 3.1. En ambos casos, la tolerancia al *skew* ha subido al aumentar el *duty cycle*.  $ARQ_1$  ha alcanzado un funcionamiento correcto con un *skew* de hasta el 25 %.  $ARQ_2$  no trabaja con un *skew* de más del 10 %. Además,  $ARQ_1$  exhibe esa tolerancia incluso para un  $V_{DD}$  reducido en un 20 %. El *skew* máximo reportado para  $ARQ_2$  no puede tolerar el escalado de  $V_{DD}$ .

### 3.1.3. Sumador *Kogge Stone*.

Por último, con el fin de completar los experimentos anteriores, se ha llevado a cabo el diseño de un bloque *carry merge* (CM) de un sumador *Kogge Stone* [97] en una tecnología PTM de 22 nm. Es decir, se evalúa ahora una red de interconexión que exhibe patrones más realistas. A diferencia de la cadena de puertas, las puertas del sumador son controladas por más de una puerta, y también su *fan-out* es mayor. Además, los experimentos se llevan a cabo en una tecnología escalada, lo que puede ser relevante para los circuitos dinámicos debido a su mayor susceptibilidad al ruido ya descrita.

Figura 3.10: Sumador *Kogge Stone*.

Un bloque CM genera en paralelo los bits de acarreo requeridos para producir las salida del sumador. Los primeros bloques de nivel generan bits de propagación ( $P = A_i \cdot B_i$ ) y generación ( $G = A_i + B_i$ ) a partir de sus entradas  $A_i$ ,  $B_i$ . Una red de bloques *carry merge*, que realizan las operaciones de *carry-merge* ( $P = P_i \cdot P_{i-1}$  y  $G = G_i + P_i \cdot G_{i-1}$ ), produce los acarreo necesarios. La Figura 3.10(a) muestra esta arquitectura. La Figura 3.10(b) presenta diagramas lógicos con puertas Dominó para los bloques PG y CM. El funcionamiento de las cadenas CM para diferentes números de bits y con diferentes números de puertas por fase se validan en simulación.

Las exploraciones de diseño se han llevado a cabo para dos arquitecturas de 16 bits. La arquitectura *CM3* tiene tres niveles de puerta por fase y la

arquitectura *CM1* tiene un nivel de puertas. Para *CM3*, sus prestaciones en términos de potencia y energía han sido caracterizados a su máxima frecuencia de funcionamiento y tensión de alimentación nominal (0.8 V). *CM1* ha sido caracterizada a diferentes frecuencias, con diferentes tensiones de alimentación y diferentes tamaños de transistor *keeper* (*CM1<sub>A</sub>* a *CM1<sub>E</sub>*). En la Tabla 3.1 y en las Figuras 3.11 y 3.12 se resumen los resultados obtenidos.

La Tabla 3.1 muestra valores normalizados para el ancho del transistor *keeper*, la frecuencia de operación, la energía por operación y el producto *E.T* para las cinco versiones del diseño *CM1*. La normalización se ha realizado con respecto al diseño *CM3*.

Cadena	WK <sub>NORM</sub>	F <sub>NORM</sub>	E <sub>NORM</sub>	E.T <sub>NORM</sub>
<i>CM3</i>	1.00	1.00	1.00	1.00
<i>CM1<sub>A</sub></i>	1.00	1.00	0.75	0.75
<i>CM1<sub>B</sub></i>	1.00	1.47	0.96	0.65
<i>CM1<sub>C</sub></i>	1.40	1.16	0.90	0.78
<i>CM1<sub>D</sub></i>	1.60	1.00	0.94	0.94
<i>CM1<sub>E</sub></i>	1.25	1.37	1.01	0.74

Tabla 3.1: Resultados de simulación de bloques CM del sumador *Kogge Stone*.

La Figura 3.11 representa la energía frente a la frecuencia. La frecuencia se ha normalizado con respecto a *CM3*. Se puede observar, por ejemplo, que la frecuencia de funcionamiento se incrementa significativamente con menos energía (punto *CM1<sub>B</sub>*). Con la misma frecuencia, la energía se reduce en torno al 25 % (punto *CM1<sub>A</sub>*).

También se muestran los resultados para *CM1* con transistores *keeper* sobredimensionados. El punto *CM1<sub>E</sub>* corresponde a un tamaño de transistor *keeper* 25 % más ancho. *CM1<sub>C</sub>* tiene un tamaño de transistor *keeper* 40 % más grande y *CM1<sub>D</sub>* un tamaño de transistor *keeper* 60 % mayor. En la Figura 3.11, se observa que *CM1* puede funcionar a la frecuencia máxima de funcionamiento de *CM3* con transistores *keepers* más fuertes que mejoran la tolerancia al ruido y con menos energía. Así, el tamaño del transistor *keeper* se puede aumentar en un 60 % con menos energía que *CM3* (punto *CM1<sub>D</sub>*). En la Figura 3.11 también se muestran otros compromisos. Por ejemplo, el tamaño del transistor *keeper* puede incrementarse en un 25 % y el circuito funciona a una frecuencia 30 % más alta con una energía similar

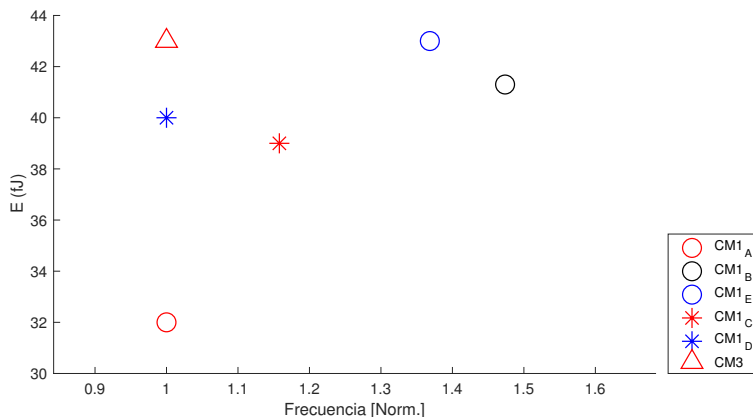


Figura 3.11: Energía vs Frecuencia normalizada de bloques CM.

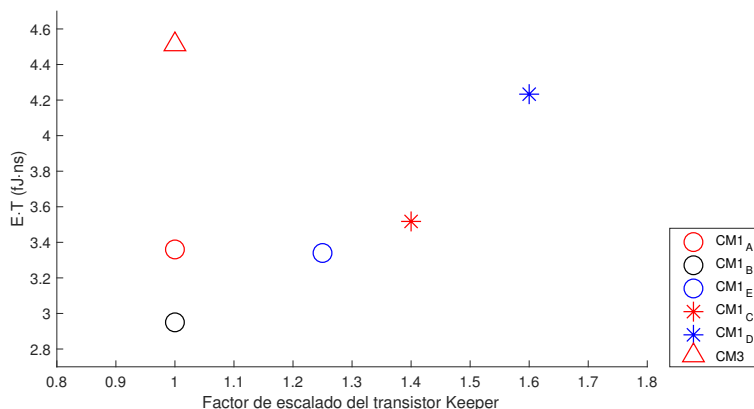


Figura 3.12: Producto  $E \cdot T$  vs Factor de escalado del transistor *keeper*.

(punto  $CM1_E$ ).

La Figura 3.12 muestra resultados de  $E \cdot T$  frente al tamaño del transistor *keeper*. El tamaño del transistor *keeper* se ha normalizado respecto a  $CM3$ . Los cinco diseños  $CM1$  exhiben valores del producto  $E \cdot T$  inferiores al diseño de referencia  $CM3$ . Tres de ellos tienen keepers más fuertes con lo que presentarían una mayor inmunidad al ruido. Dos de estos últimos ( $CM1_E$  y  $CM1_C$ ) con valores  $E \cdot T$  significativamente inferiores.

Supongamos que la tolerancia al ruido del diseño con el transistor *keeper* normalizado igual a 1 (puntos  $CM3$ ,  $CM1_A$  y  $CM1_B$ ) no fuese



satisfactoria y que se requiere un funcionamiento a una frecuencia de operación normalizada igual a 1. En la arquitectura *CM3* no es posible incrementar la fortaleza del transistor *keeper* sin degradar su frecuencia. Por lo tanto, la única opción en este caso es recurrir a la modificación de la topología de la puerta, con mayores áreas y consumo de potencia, asociados al uso de puertas más complejas. Sin embargo, la arquitectura *CM1* permite un transistor *keeper* un 60% más fuerte. Funcionando a la frecuencia de *CM3* (*CM1<sub>D</sub>* en Tabla 3.1). Por otra parte, *CM1<sub>D</sub>* también podría ser, en general, realizado con puertas modificadas a dicha frecuencia, mejorando aún más la tolerancia al ruido.

### 3.2. *Nanopipeline* con puertas DOE.

Este apartado tiene como objetivo mostrar las puertas DOE operando en una configuración de un nivel de puertas por fase de reloj (*nanopipeline*). Esta configuración no solo ofrece ventajas en términos de rendimiento, sino que además, muestra una menor sensibilidad a las variaciones de operación propias de estos circuitos.

Se ha simulado una cadena de 10 puertas DOE con funcionalidad NOR de 16 entradas. Las puertas se han implementado con la topología descrita en el Capítulo 2, utilizando como elemento de retraso dos inversores conectados en serie. Para su uso en el *nanopipeline*, se han interconectado de forma que la señal de entrada se propague hasta la salida. El *nanopipeline* opera con una señal de reloj de tres fases solapadas con un *duty cycle* del 50%.

La Figura 3.13 muestra las formas de onda obtenidas en la simulación de este circuito. En la parte superior se muestra la entrada al circuito (*IN*), que alterna ceros y unos, siguiendo con las tres fases de reloj solapadas (*CLK<sub>1</sub>*, *CLK<sub>2</sub>* y *CLK<sub>3</sub>*). También se muestran la salida de la primera y segunda puerta, (*OUT<sub>1</sub>* y *OUT<sub>2</sub>*), el nodo dinámico de la segunda puerta (*NOD<sub>2</sub>*) y la salida de la décima etapa *OUT<sub>10</sub>*.

En un primer ciclo de reloj, la entrada (*IN*) se encuentra en alto y por tanto la salida de la primera puerta permanece en bajo. En consecuencia, el nodo dinámico de la segunda puerta permanece en alto, permitiendo la descarga de la puerta NAND y por tanto, poniendo la salida en alto (*A* en *OUT<sub>2</sub>*). En el segundo ciclo de reloj, la entrada (*IN*), al permanecer en bajo, hace que la salida de la primera puerta se ponga en alto con el segundo pulso de la primera fase de reloj. Luego cuando inicia su evaluación la segunda fase, la entrada de la segunda puerta se encuentra en alto y hace que se descargue su nodo dinámico y por lo tanto, su salida permanece

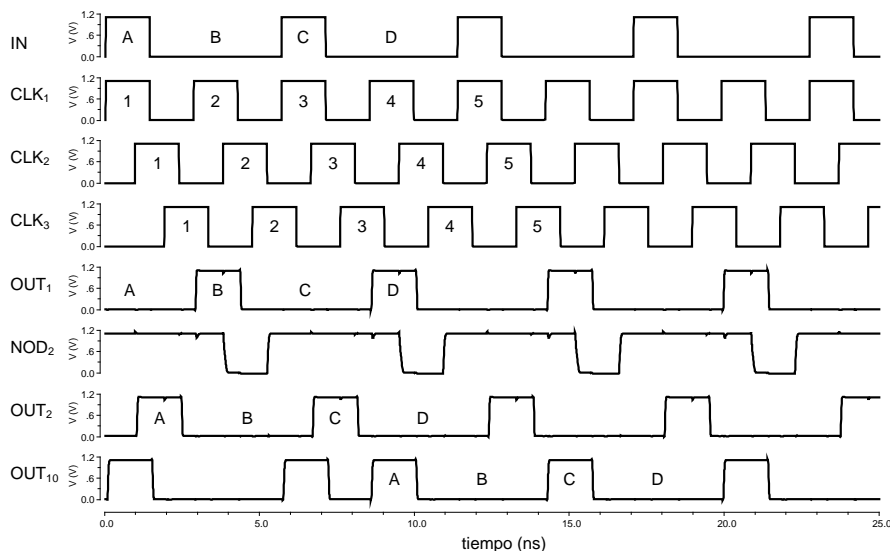


Figura 3.13: Formas de onda de una simulación de *nanopipeline* con puertas DOE NOR.

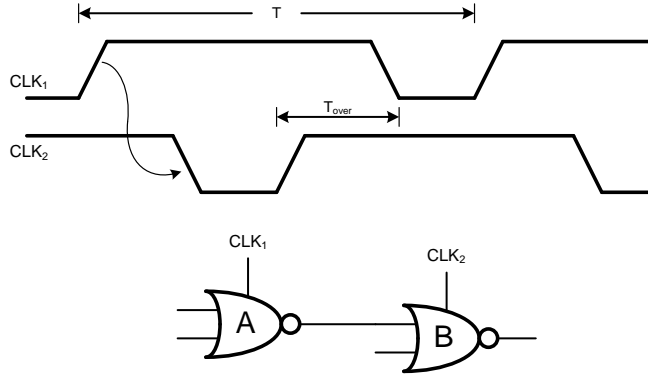
en bajo hasta el próximo ciclo de reloj. La señal de entrada se propaga a lo largo del *pipeline* y llega a la salida luego de 3 y 1/3 ciclos de reloj (A en  $OUT_{10}$ ). Los dos primeros pulsos en alto se deben a condiciones de inicialización del *pipeline*.

En el siguiente apartado se aborda el caso particular de las arquitecturas *nanopipeline* operados con dos fases de reloj, cuyas dificultades de diseño con lógica Dominó son conocidas [8].

### 3.3. Dificultades de los *nanopipelines* de dos fases.

Reduciendo el número de fases a dos, se simplifica el diseño de la red de distribución de relojes, lo que podría traducirse en ventajas en términos de área. Además, potencialmente las puertas cuentan con más tiempo para evaluar y, por consiguiente, cabe esperar que podrían alcanzar mayores frecuencias. Sin embargo, el uso de dos fases de reloj introduce ciertas dificultades para los *pipeline* construidos con puertas Dominó, como se describirá en este apartado.

En este capítulo se han empleado esquemas de reloj de tres fases solapadas con un DTC del 50 %. Cuando se reduce el número de fases y se

Figura 3.14: *nanopipeline* con fases de reloj solapadas.

mantiene el DTC al 50 %, deja de haber solape entre las fases de reloj. Ante esta ausencia de solape, puede ocurrir que en dos etapas consecutivas, la segunda no alcance a evaluar el dato proveniente de la evaluación de la primera. Esta situación obliga a incrementar el *duty cycle* para que exista solape entre ambas fases. Sin embargo, no solo la ausencia de solape puede afectar a los circuitos Dominó, ya que incrementar excesivamente el *duty cycle* puede provocar fallos de deslizamiento.

Supongamos dos puertas Dominó conectadas como se muestra en la Figura 3.14. La puerta A evalúa en el flanco ascendente de  $CLK_1$ . Si la puerta realiza la evaluación muy rápido, el dato de su salida puede llegar a la puerta B antes de que comience el flanco de bajada de  $CLK_2$  como lo indica la flecha. Esto es, la puerta B podría alcanzar a evaluar el nuevo dato de entrada y podría generar un error en el resultado del ciclo anterior de la puerta B, que no debería evaluar la nueva entrada hasta el siguiente pulso de  $CLK_2$ .

El fallo de deslizamiento no se produce si el retraso de evaluación de las puertas es suficientemente alto, en relación al solape de las fases de reloj.

$$\Delta_{puerta} > T_{over} + T_{skew} \quad (3.5)$$

$$T_{over} = T/2 - T_{low} \quad (3.6)$$

Y por tanto:

$$\Delta_{puerta} > T/2 + T_{skew} - T_{low} \quad (3.7)$$

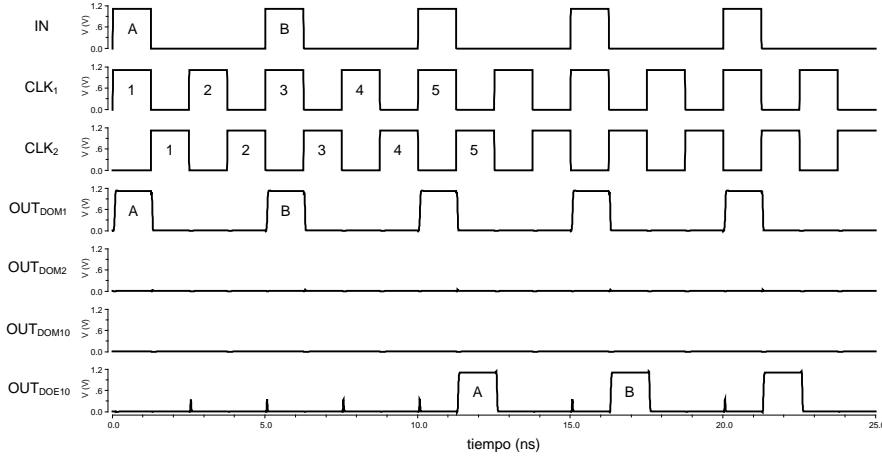


Figura 3.15: Comportamiento de *nanopipelines* Dominó y DOE con dos fases de reloj y un DTC al 50 %.

Si el retraso mínimo de puerta,  $\Delta_{puerta}$ , de acuerdo con 3.7, es negativo, se garantiza un funcionamiento sin fallos de deslizamiento. En dos fases de reloj, los problemas de deslizamiento se incrementan ya que  $T_{low} < T/2$ , por lo que una mínima variación en las señales de reloj pueden hacer que el retraso mínimo sea positivo.

El carácter inversor de las puertas DOE y su evaluación y precarga retrasadas podrían ser ventajosos para la operación *nanopipeline* con dos fases de reloj. Con esta motivación se ha realizado el siguiente experimento. Se han simulado *nanopipelines* usando puertas DOE y puertas Dominó, variando el DTC de la señal de reloj. Las simulaciones se han realizado a 400 MHz.

La Figura 3.15 corresponde a una simulación con un DTC del 50 %. En ella se muestran la entrada de los dos circuitos (*IN*), las dos fases de reloj (*CLK<sub>1</sub>* y *CLK<sub>2</sub>*), las salidas de ambos circuitos (*OUT<sub>DOM10</sub>* y *OUT<sub>DOE10</sub>*) y las salidas de las primeras dos puertas Dominó (*OUT<sub>DOM1</sub>* y *OUT<sub>DOM2</sub>*).

Con la entrada (*IN*) alternando unos y ceros, se espera que estos datos comiencen a llegar a la salida de las cadenas a partir del quinto ciclo de reloj. Se observa que el *nanopipeline* DOE funciona correctamente, no así el Dominó.

En el *pipeline* de puertas Dominó la primera puerta evalúa correctamente. Sin embargo, al no haber solape, la segunda puerta no alcanza a evaluar y su salida permanece en bajo, propagándose este estado por todas las etapas.

El *pipeline* DOE propaga correctamente los datos de la entrada hasta su salida.

Este comportamiento se explica en la Figura 3.16, donde se ilustra la operación del *nanopipeline* DOE. En la Figura 3.16(a), se muestra la entrada ( $IN$ ), las dos fases de reloj ( $CLK_1$  y  $CLK_2$ ) y las salidas de las primeras cuatro puertas ( $OUT_1$ ,  $OUT_2$ ,  $OUT_3$  y  $OUT_4$ ). En la Figura 3.16(b) se muestra una ampliación de región delimitada en la Figura 3.16(a), para mostrar en detalle la ventaja de las puertas DOE al tener funcionalidad inversora y una precarga retrasada.

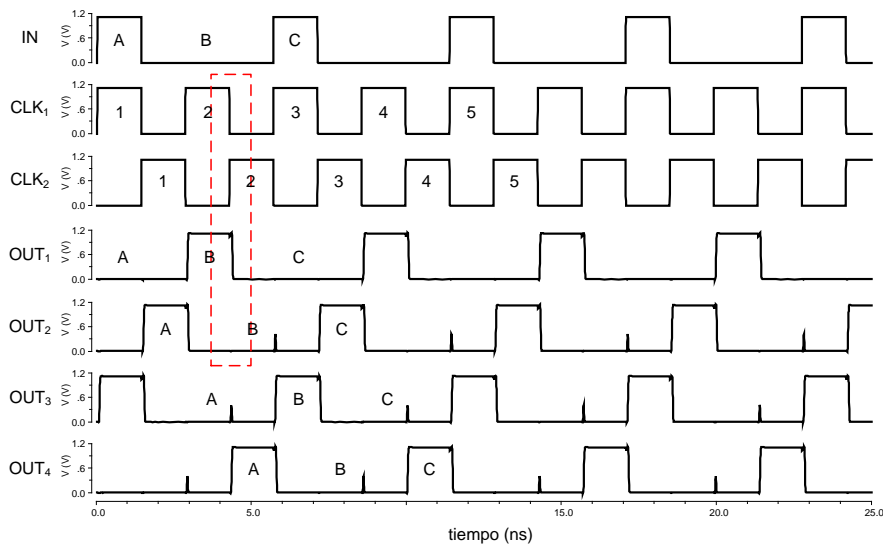
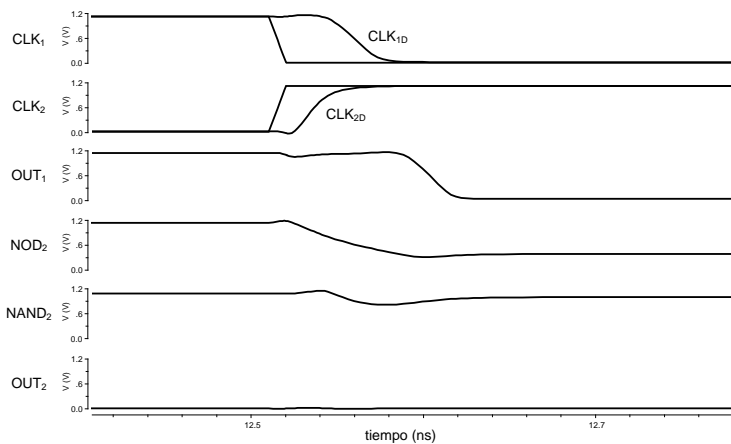
En esta figura se muestran las dos fases de reloj ( $CLK_1$  y  $CLK_2$ ) y sus señales retrasadas ( $CLK_{1D}$  y  $CLK_{2D}$ ), el nodo dinámico de la segunda puerta ( $NOD_2$ ), la salida de la puerta NAND de la segunda puerta ( $NAND_2$ ) y las salidas de las primeras dos puertas ( $OUT_1$  y  $OUT_2$ ).

Cuando  $CLK_1$  inicia la precarga, la salida de la primera puerta continúa en alto hasta que  $CLK_{1D}$  baja y comienza a precargarse. Este tiempo es aprovechado por la segunda puerta que descarga su nodo dinámico al inicio de la evaluación de  $CLK_2$ . Cuando comienza la evaluación de  $CLK_{2D}$ , el nodo dinámico de la segunda se ha descargado lo suficiente para evitar la descarga de la NAND y mantener la salida de la puerta en bajo. Esto es, puesto que la precarga de la salida de las puertas DOE está controlada por la señal de reloj retrasada, existe un solape incluso cuando operan con un DTC del 50 %.

Esto no garantiza el funcionamiento con dos fases sin solape de cualquier circuito con puertas DOE. Su funcionamiento dependerá del dimensionamiento de la etapa de salida (NAND e inversor), que determina los tiempos de precarga y de la complejidad de las puertas, que incide en los tiempos de descarga del nodo dinámico. Además, en este caso la cadena DOE está funcionando con relojes ideales y no se puede garantizar un óptimo funcionamiento del *pipeline* cuando intervenga alguna no idealidad del reloj.

La otra problemática experimentada por los *superpipelines* Dominó se da cuando se incrementa el DTC y aparecen los fallos de deslizamiento, provocando un fallo funcional en el *pipeline* como se muestra en la Figura 3.17, correspondiente a un DTC del 60 %. Nuevamente se espera que la alternancia de unos y ceros en la entrada ( $IN$ ) se vea reflejada en la salida de las cadenas ( $OUT_{DOM}$  y  $OUT_{DOE}$ ) a partir del quinto ciclo de reloj. La cadena DOE funciona de acuerdo a lo esperado, sin embargo la cadena Dominó no lo hace.

Para identificar donde se ha producido el fallo de deslizamiento, se han analizado las señales de salida ( $OUT_1$ ,  $OUT_2$  y  $OUT_3$ ) de las primeras tres

(a) Operación del *nanopipeline* DOE.

(b) Detalle de la zona marcada en (a).

Figura 3.16: Comportamiento de etapas internas del *nanopipeline* DOE con un DTC del 50 %.

puertas Dominó, que se muestran en la Figura 3.18. La primera puerta evalúa correctamente de acuerdo a la entrada (*IN*). Debido al solape entre los relojes (*CLK<sub>1</sub>* y *CLK<sub>2</sub>*), cuando en la entrada hay un estado alto, este se propaga no solo a la primera puerta, sino también a las puertas sucesivas

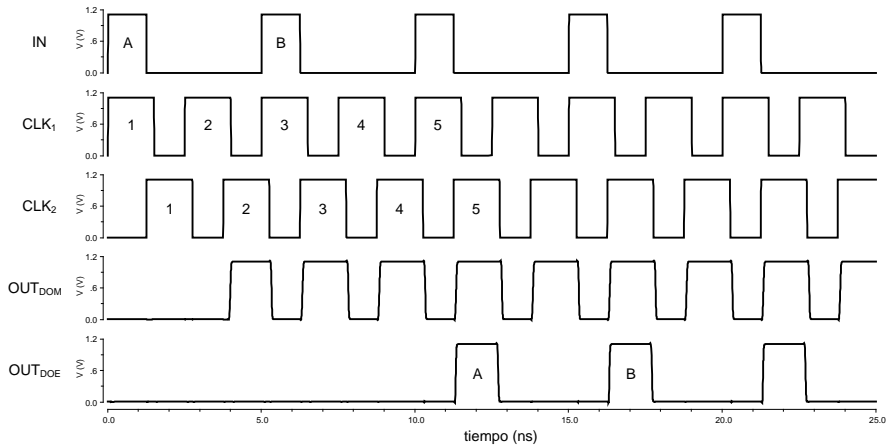


Figura 3.17: Comportamiento de *nanopipelines* Dominó y DOE con dos fases de reloj y un DTC del 60 %.

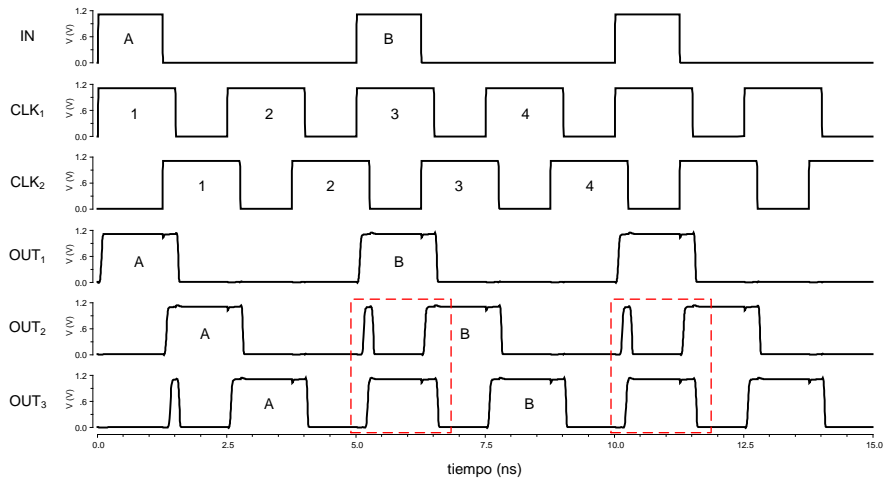


Figura 3.18: Primeras tres etapas del *pipeline* Dominó con dos fases de reloj y un DTC del 60 %.

como se ha marcado en la figura.

El *pipeline* con puertas DOE no presenta los fallos de deslizamiento que presenta su equivalente Dominó, aunque el solape entre las dos fases de reloj reduce el tiempo en alto de las salidas de las puertas como se ilustra

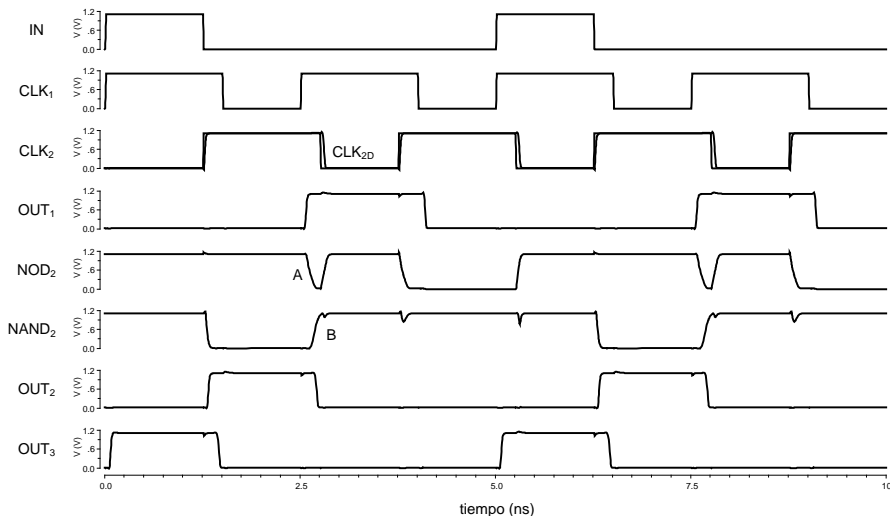


Figura 3.19: Señales internas de la segunda puerta DOE con DTC al 60 %.

a continuación. En la Figura 3.19, se observan las señales internas de la segunda puerta DOE. Cuando la salida de la primera puerta ( $OUT_1$ ) evalúa, el nodo dinámico de la segunda puerta ( $NOD_2$ ) comienza a descargarse (A) durante el tiempo de solape entre las dos fases de reloj ( $CLK_1$  y  $CLK_2$ ). Esta descarga del nodo dinámico, junto con el reloj retrasado que se muestra superpuesto con  $CLK_2$ , hacen que la salida de la puerta NAND ( $NAND_2$ ) se ponga en alto (B) antes de que el reloj retrasado termine su fase de evaluación y por tanto disminuye el tiempo en alto de la salida de la puerta ( $OUT_2$ ). Sin embargo, a diferencia del pulso producido en la salida de la segunda puerta del *pipeline* Dominó, este acortamiento no tiene ningún efecto sobre la etapa siguiente. Además, esta reducción del tiempo en alto no es acumulativa y la salida de las puertas sucesivas presenta la misma reducción.

### 3.4. Conclusiones.

En este capítulo se ha realizado un análisis de las arquitecturas *superpipeline*. En primer lugar, se ha estudiado el impacto de la profundidad del *pipeline* asumiendo un número de fases de reloj determinado. Se han realizado simulaciones de arquitecturas superpipelines Dominó con distinto número de niveles de puertas por fase que han mostrado las ventajas en



frecuencia, potencia, inmunidad al ruido y tolerancia al *skew* al reducir dicho número. Se ha concluido que los *superpipeline* se benefician de un *pipeline* muy agresivo en términos de velocidad, eficiencia energética o robustez.

Como caso de estudio, se ha evaluado una implementación *nanopipeline* del *Carry Merge* de un sumador *Kogge Stone* en una tecnología DSM. Se han obtenido realizaciones que exhiben compromisos muy satisfactorios entre los criterios de diseño mencionados anteriormente.

En segundo lugar, se ha demostrado que las puertas DOE propuestas pueden operarse en una configuración *nanopipeline*. Finalmente, se ha analizado la operación de los *nanopipelines* con dos fases de reloj, contruidos tanto con puertas Dominó como con puertas DOE. Estos últimos han demostrado que no presentan los fallos de deslizamiento de Dominó. Esto es interesante desde el punto de vista de la robustez de este tipo de arquitecturas, simplificando significativamente su diseño.



## Capítulo 4

# Validación experimental.

En los Capítulos 2 y 3 de esta Memoria se ha descrito el principio de funcionamiento de la topología DOE, tanto a nivel de puerta como de operación *pipeline* y se han presentado resultados de simulación. Estos primeros resultados han mostrado las ventajas de las puertas DOE en cuanto a velocidad y tolerancia al ruido y su adecuación para la implementación de arquitecturas *nanopipeline*. Estos resultados han motivado el diseño y fabricación de un circuito integrado para la verificación experimental de nuestras propuestas.

Este capítulo se estructura en tres partes. La primera realiza una descripción general de la estructura interna del circuito integrado. La segunda muestra en detalle el diseño de cada uno de sus componentes. La tercera describe los resultados experimentales obtenidos en el laboratorio.

### 4.1. Descripción general del circuito integrado.

El circuito integrado incluye puertas DOE de distinto número de entradas, cadenas de puertas para operación *nanopipeline* y demostradores funcionales.

La Figura 4.1 muestra un diagrama de alto nivel del circuito integrado, indicando las tres particiones (núcleos) en los que se ha dividido. Los núcleos DIR y EXT se controlan con señales externas. La señal de reloj puede ser analógica de dos fases o digital de tres fases. Por su parte, el núcleo INT trabaja con señales de reloj generadas internamente (bloque A) para poder experimentar a frecuencias de operación más altas. Sus entradas pueden ser externas o internas, siendo, en este caso, generadas por el bloque B.

El circuito se ha integrado en una tecnología CMOS UMC de 130 nm

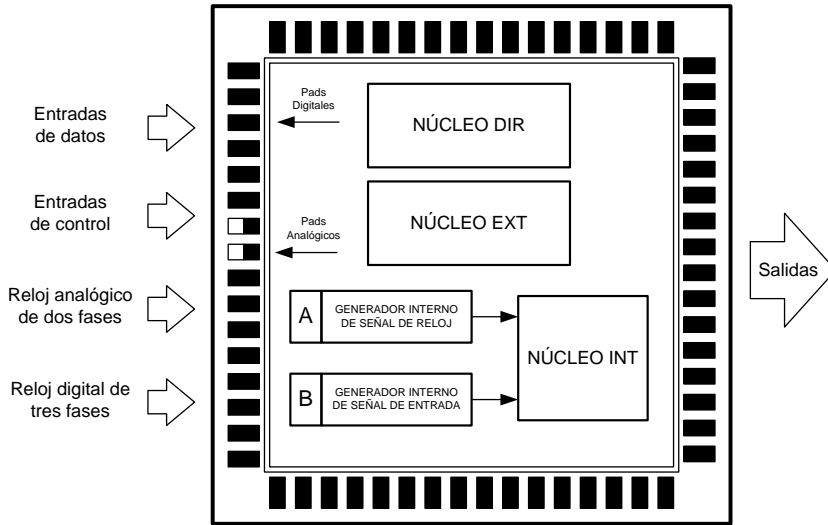


Figura 4.1: Bloques del circuito integrado.

y 1.2 V. En la Figura 4.2 se muestra la vista *layout* (Figura 4.2(a)) y su diagrama de pines (Figura 4.2(b)).

El circuito cuenta con 21 entradas, divididas en entradas de datos, señales de reloj y entradas de control, que se describen a continuación:

- Entradas de datos. Son ocho las entradas de datos disponibles. Cuatro para los núcleos DIR y EXT ( $IN1\_EXT$  -  $IN4\_EXT$ ) y cuatro para el núcleo INT ( $IN1\_INT$  -  $IN4\_INT$ ).  $IN1\_EXT$  e  $IN1\_INT$  se pueden generar con un generador de patrones o bien, con un generador de señales para mayor flexibilidad a la hora de sincronizar con la señal de reloj.
- Entradas de señal de reloj. Dos entradas para la señal de reloj analógica de dos fases asociadas a *pads* analógicos,  $CLK1\_ANLG$  y  $CLK2\_ANLG$ , que se conectan a los núcleos DIR y EXT y se pueden generar con un generador de señal. Tres entradas para la señal de reloj digital de tres fases,  $CLK1\_DIG$ ,  $CLK2\_DIG$  y  $CLK3\_DIG$  que se conectan al núcleo EXT y se generan con un generador de patrones.
- Entradas de control. Siete entradas que permiten establecer diferentes configuraciones al sistema.  $TIPO\_IN$  permite establecer el tipo



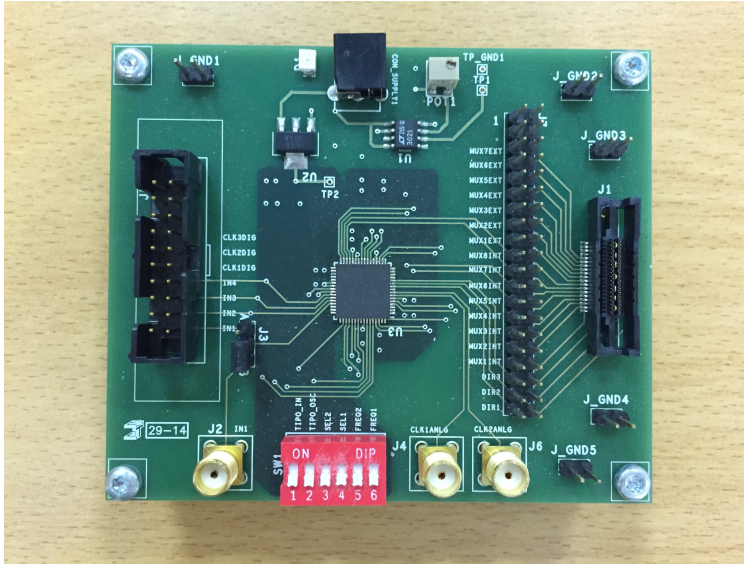


Figura 4.3: PCB.

de entrada, interna o externa, en los circuitos del núcleo INT. Cuatro entradas de selección para multiplexar las salidas de los núcleos EXT e INT. *SEL1\_EXT* y *SEL2\_EXT* para el núcleo EXT, y *SEL1\_INT* y *SEL2\_INT* para el núcleo INT. *TIPO\_OSC* permite establecer el tipo de oscilador, lento o rápido, para la generación de señal de reloj en el núcleo INT. *FREQ1* y *FREQ2* son dos entradas de selección para multiplexar las salidas del generador interno de señal de reloj, permitiendo, como ya se explicará, la selección de diferentes frecuencias de operación.

Todas las salidas del circuito integrado están conectadas a *pads* digitales de 3.3 V [98]. En total son 18 salidas. Tres que corresponden al núcleo DIR (*DIR1* - *DIR3*), siete al núcleo EXT (*MUX1\_EXT* - *MUX7\_EXT*) y ocho al núcleo INT (*MUX1\_EXT* - *MUX8\_EXT*).

Para el encapsulado del circuito se ha empleado una cápsula tipo QFN de 64 pines para montaje superficial. Para su test, se ha realizado el diseño de una PCB (*printed circuit board*) que se muestra en la Figura 4.3.

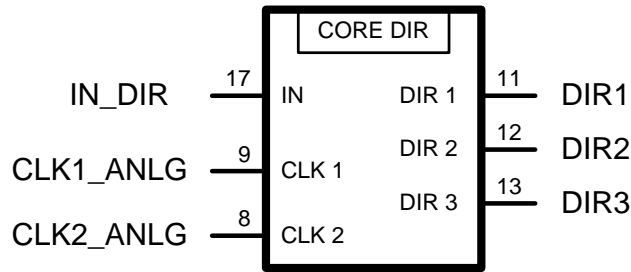


Figura 4.4: Interfaz núcleo DIR.

#### 4.1.1. Núcleo DIR.

El núcleo DIR es el más sencillo de los tres núcleos. Contiene una puerta DOE y dos estructuras *nanopipeline*. En la Figura 4.4 se muestra la interfaz de este bloque que tiene una entrada de datos, dos entradas de señal de reloj y tres salidas.

La entrada de datos se obtiene con un generador de patrones o a partir generador de señales. A diferencia de las salidas de los núcleos EXT e INT, que tienen las salidas multiplexadas, las tres salidas del núcleo DIR (*DIR1* - *DIR3*), están conectadas directamente a los *pads*.

Los circuitos incluidos dentro de este bloque son:

1. Puerta DOE de funcionalidad NOR de 16 entradas.
2. *Nanopipeline* de dos puertas DOE de funcionalidad NOR de 16 entradas, interconectadas y en configuración de dos fases.
3. *Nanopipeline* de diez puertas DOE de funcionalidad NOR de 16 entradas, interconectadas y en configuración de dos fases de reloj.

Con el fin de evaluar la situación de caso peor de retraso para cada puerta, se han configurado los circuitos de tal manera que cada puerta tiene una sola entrada habilitada y las 15 entradas restantes se conectan a tierra.

#### 4.1.2. Núcleo EXT.

El núcleo EXT utiliza señales de reloj externas. Contiene no sólo puertas DOE y estructuras *pipeline* de diferente profundidad, sino también dos circuitos sumadores, que se han incluido para validar el comportamiento de las puertas DOE en estructuras complejas. En la Figura 4.5 se muestra

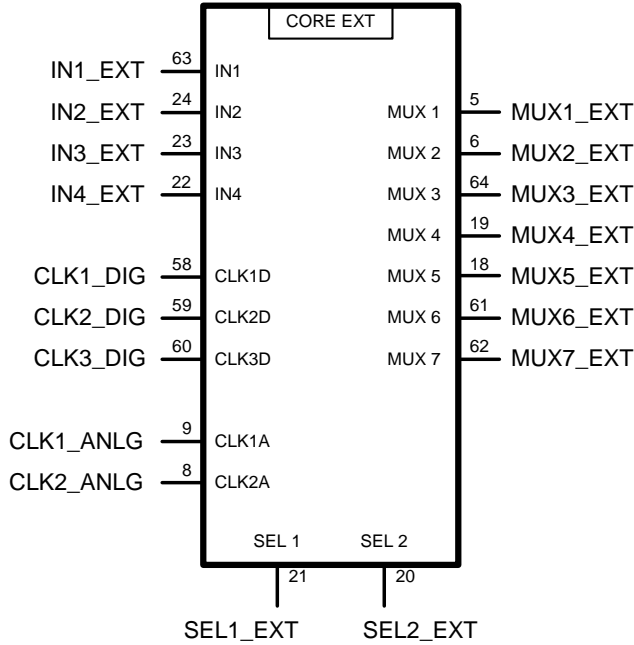


Figura 4.5: Interfaz núcleo EXT.

su interfaz. Cuenta con cuatro entradas de datos externas, dos entradas de señal de reloj asociadas a *pads* analógicos, tres entradas de señal de reloj asociadas a *pads* digitales, dos entradas de selección y siete salidas.

Las cuatro entradas de datos ( $IN1 - IN4$ ) se obtienen con un generador de patrones. La entrada  $IN1$  puede ser generada también con un generador de señal. Los circuitos configurados para operar con dos fases reciben la señal de reloj analógica de dos fases, mientras que los circuitos configurados para operar con tres fases reciben la señal de reloj digital. Las siete salidas ( $MUX1-MUX7$ ) corresponden a las salidas de siete multiplexores 4-1 controlados por las entradas de selección  $SEL1$  y  $SEL2$ .

La estructura interna del núcleo EXT se compone de cinco bloques. Uno que incluye puertas, dos con *nanopipelines* y los otros dos que implementan sumadores. Las entradas de datos son compartidas por los distintos bloques y sus salidas se conectan a multiplexores 4-1, como se muestra en la Figura 4.6. Los bloques que contienen puertas y *nanopipelines*, se configuran de tal manera que, todas las puertas tienen una única entrada habilitada, independientemente del número de entradas. Las restantes se conectan a



tierra o  $V_{DD}$  según sea su funcionalidad. De esta manera se asegura evaluar la situación de caso peor en cada circuito. La descripción general de cada uno de estos bloques se realiza a continuación:

1. B1 - Puertas DOE. Este bloque contiene una puerta NAND de dos entradas y tres puertas NOR de 6, 16 y 32 entradas. Se utiliza la fase 1 del reloj analógico como señal de reloj. La salida de cada una de las puertas se conectan al multiplexor MUX1.
2. B2 - *nanopipeline* DOE 2 Fases. Este bloque contiene una puerta NOR de 6 entradas y tres *nanopipelines* de diferentes profundidades. La puerta opera con la fase 1 del reloj analógico. Los *pipeline* están configurados para operar con las dos fases del reloj analógico. La salida de cada una de los circuitos se conectan al multiplexor MUX2.
3. B3 - *nanopipeline* DOE 3 Fases. Este bloque contiene cuatro *nanopipelines* de diferentes profundidades. Los circuitos están configurados para operar con las tres fases del reloj digital externo. Las salidas de los circuitos se conectan al multiplexor MUX3.
4. B4 – Sumador CLA 2 fases. Este bloque contiene un sumador de predicción de acarreo o CLA (por sus siglas en inglés *Carry Look Ahead*) de 4 bits. El circuito está configurado para operar con las dos fases del reloj analógico. Por simplicidad, sólo ocho de sus salidas son observables y están conectadas a dos multiplexores MUX4 y MUX5.
5. B5 – Sumador KS 3 fases. Este bloque contiene el bloque de acarreo de un sumador KS (por sus siglas en inglés *Kogge Stone*) de 8 bits. El circuito está configurado para operar con las tres fases del reloj digital externo. Nuevamente, por simplicidad, se han dispuesto para su observación ocho de sus salidas conectadas a dos multiplexores MUX6 y MUX7.

#### 4.1.3. Núcleo INT.

Este núcleo se ha diseñado con el propósito de comprobar el funcionamiento de puertas DOE a altas frecuencias. Para lograrlo, se han implementado circuitos generadores de reloj en su interior que proveen a los circuitos de señales de entrada y de reloj configurables mediante señales de control externas. En la Figura 4.8 se muestra su interfaz que cuenta con cuatro entradas de datos, seis entradas de control y ocho salidas.

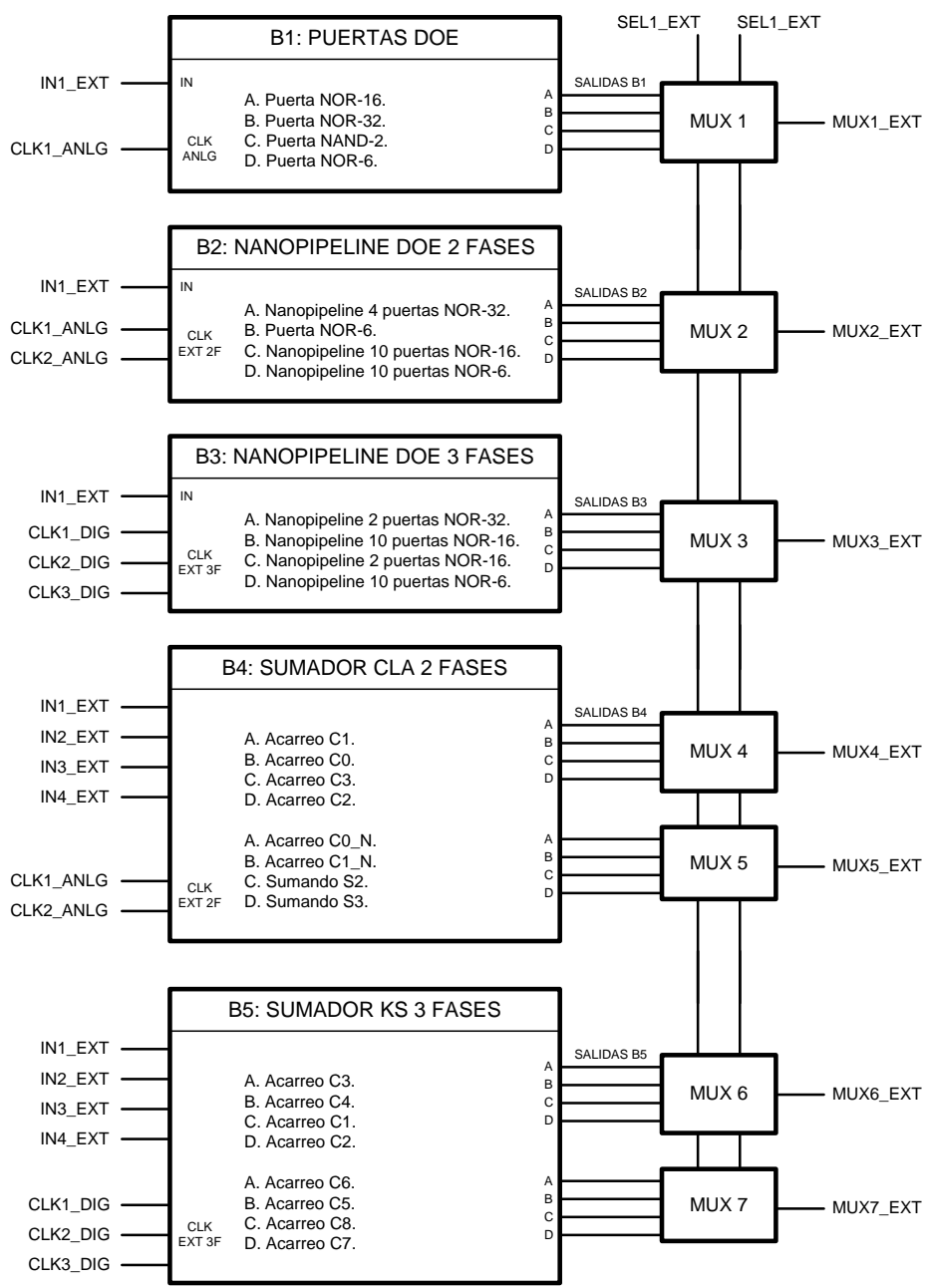


Figura 4.6: Diagrama de bloques del núcleo EXT.

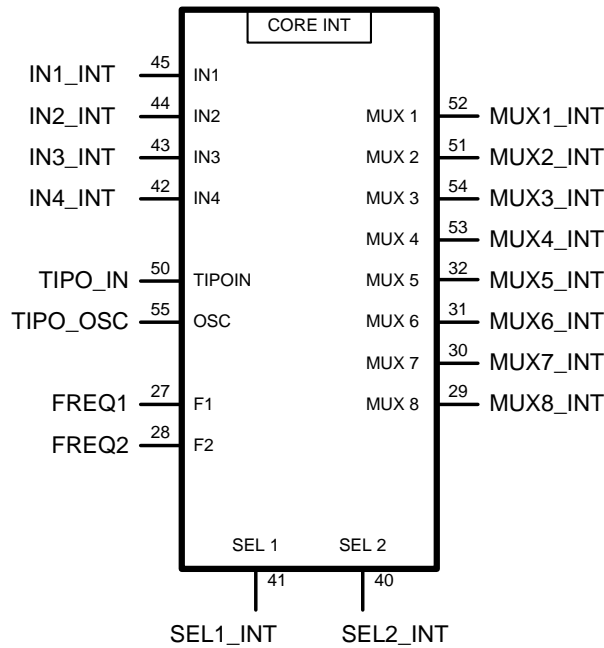


Figura 4.7: Interfaz núcleo INT.

Las entradas de datos ( $IN1 - IN4$ ), se generan de manera externa. También se tiene la opción de generar internamente la señal de entrada  $IN1$  según se indique con la entrada de selección  $TIPOIN$ . Al igual que en el núcleo EXT, las entradas externas se obtienen a partir de un generador de patrones. La entrada  $IN1$  puede generarse también con un generador de señal como se ha indicado en la descripción general del circuito. Las señales de reloj se generan internamente a partir de dos osciladores en anillo y circuitos adicionales para obtener relojes de dos y tres fases. La frecuencia de salida de estos generadores de señal viene determinada por las entradas  $OSC$ ,  $F1$  y  $F2$ . Las ocho salidas ( $MUX1 - MUX8$ ) corresponden a ocho multiplexores que se controlan con las entradas de selección  $SEL1$  y  $SEL2$ .

La estructura interna de este núcleo se ha dividido en nueve bloques como se muestra en la Figura 4.7. Dos de generación interna de señal de entrada, dos de generación interna de señal de reloj, dos con *nanopipelines* y tres con circuitos sumadores. De nuevo los bloques que contienen puertas y *nanopipelines*, se conectan para que todas las puertas tengan una sola entrada habilitada, las restantes se conectan a tierra, asegurando evaluar

la situación de peor caso para retraso en cada circuito. Las entradas de datos se comparten por los distintos bloques y las salidas de sus circuitos internos se conectan a multiplexores 4-1. Al ser un núcleo diseñado para altas frecuencias, las salidas se acondicionan para cumplir con las limitaciones de frecuencia (aproximadamente 200 MHz) de los *pads* del circuito integrado. Para ello se conectan las salidas de los multiplexores a circuitos divisores que permiten dividir por 16 la frecuencia de las señales de salida de sus circuitos. La descripción general de cada uno de estos bloques se realiza a continuación:

1. B1 – Generador CLK 2 Fases. Este bloque contiene un circuito que genera una señal de reloj de dos fases cuya frecuencia viene determinada por los valores de 3 señales de control *TIPO\_OSC*, *FREQ1* y *FREQ2*. Con *TIPO\_OSC* se puede elegir entre un oscilador rápido (nominal esquemático a 3.2 GHz) y un oscilador lento (nominal esquemático a 1.7 GHz). Para cada uno de ellos *FREQ1* y *FREQ2* permiten seleccionar la mitad, la cuarta parte, la octava parte o la dieciseisava parte de la frecuencia del oscilador correspondiente.
2. B2 – Generador CLK 3 Fases. Este bloque contiene un circuito que genera una señal de reloj de tres fases cuya frecuencia viene dada por los valores de las señales de control *FREQ1* y *FREQ2* que permiten seleccionar la frecuencia o la mitad de ella, de cada uno de los osciladores.
3. B3 - Generación Entrada. Este bloque contiene un circuito divisor de frecuencia a la mitad, cuya entrada es la fase uno de la señal de reloj del generador interno de dos fases. La salida del divisor se conecta a un multiplexor 2-1 que también recibe la señal de entrada externa *IN1\_INT* y se controla por la señal externa *TIPO\_IN*.
4. B4 - Generación Entrada. Al igual que en el bloque B3, este bloque contiene en su interior un circuito divisor de frecuencia a la mitad cuya entrada es la fase uno de la señal de reloj del generador interno de tres fases. Esta señal interna se conecta a un multiplexor 2-1 que también recibe la señal de entrada externa *IN1\_INT* que se controla por la señal externa *TIPO\_IN*.
5. B5 – *Nanopipeline* DOE 2 Fases. El bloque contiene tres *nanopipelines* de diferentes profundidades. Los circuitos están configurados para operar con las dos fases de reloj generadas por el bloque B1. La salida

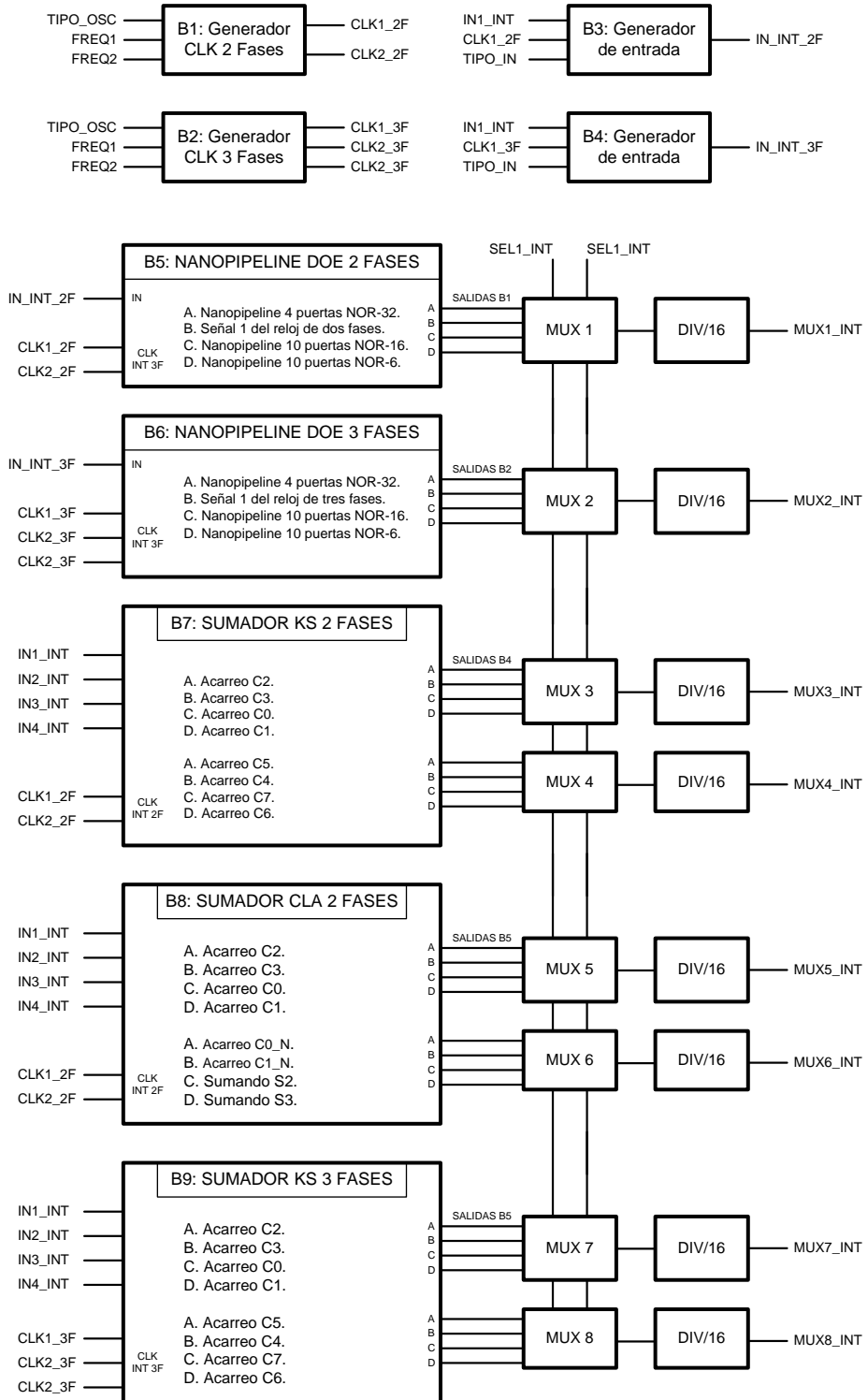


Figura 4.8: Diagrama de bloques del núcleo INT.

de cada circuito y la salida de la primer fase del reloj interno de dos fases se conectan al multiplexor MUX1.

6. B6 – *Nanopipeline* DOE 3 Fases. Al igual que el bloque B5, este contiene tres *nanopipelines* de diferentes profundidades. Todos ellos configurados para operar con las tres fases de reloj generadas por el bloque B2. La salida de cada uno de los circuitos y la salida de la primera fase del reloj interno de tres fases se conectan al multiplexor MUX2.
7. B7 – Sumador KS 2 Fases. Este bloque contiene el bloque de acarreo de un sumador *Kogge Stone* de 8 bits. El circuito está configurado para operar con las dos fases de reloj generadas por el bloque B1. Por simplicidad, únicamente ocho de sus salidas se han dispuesto para su observación externa y están conectadas a dos multiplexores, MUX3 y MUX4.
8. B8 - Sumador CLA 2 Fases. Este bloque contiene un sumador *Carry Look Ahead* de 4 bits. El circuito está configurado para operar con las dos fases de reloj generadas por el bloque B1. Por simplicidad, únicamente ocho de sus salidas se han dispuesto para su observación externa y están conectadas a dos multiplexores, MUX5 y MUX6.
9. B9 - Sumador KS 3 Fases. Este bloque contiene el bloque de acarreo de un sumador *Kogge Stone* de 8 bits. El circuito está configurado para operar con las tres fases de reloj generadas por el bloque B2. Por simplicidad, únicamente ocho de sus salidas se han dispuesto para su observación externa y están conectadas a dos multiplexores, MUX7 y MUX8.

## 4.2. Diseño.

### 4.2.1. Circuitos de puertas DOE.

Se han propuesto cuatro tipos de puertas con el fin de evaluar su comportamiento según su funcionalidad y número de entradas. Los cuatro tipos de puerta llevados a la demostración experimental se relacionan a continuación:

1. Puerta DOE de funcionalidad NAND de 2 entradas.
2. Puerta DOE de funcionalidad NOR de 6 entradas.

3. Puerta DOE de funcionalidad NOR de 16 entradas.
4. Puerta DOE de funcionalidad NOR de 32 entradas.

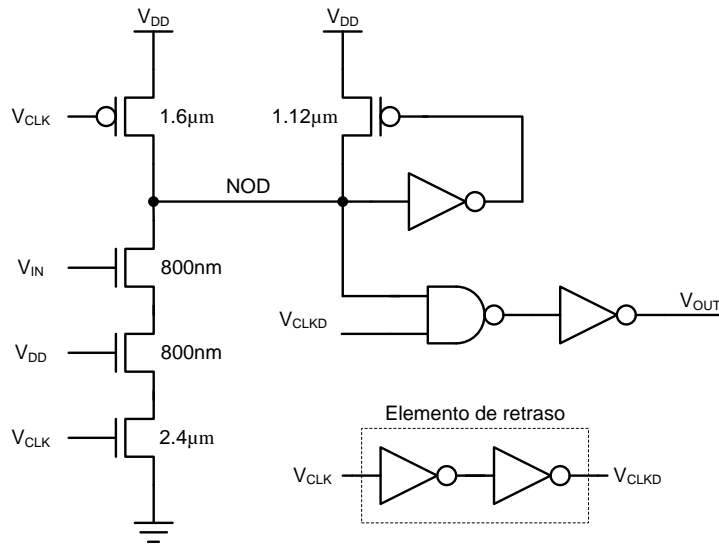
El dimensionamiento de los transistores en cada una de las puertas se ha realizado teniendo en cuenta su funcionalidad y número de entradas. Para ello se ha modificado el ancho ( $W$ ) de los transistores, mientras que para la longitud ( $L$ ) se ha mantenido al mínimo permitido por la tecnología.

Se han elegido como parámetros de diseño el ancho de los transistores de precarga, de la red PDN de entradas, del transistor *footer* y el de realimentación *keeper*. Por otra parte, los transistores de los inversores de realimentación, de salida, de la celda de retraso y de la puerta NAND de la etapa estática, se mantienen con un mismo dimensionamiento en todas las puertas como se describe a continuación: en los inversores estáticos se han empleado transistores P con un ancho de 320 nm y transistores N con ancho de 160 nm. En la puerta NAND estática se han empleado transistores P y N con el ancho mínimo permitido por la tecnología.

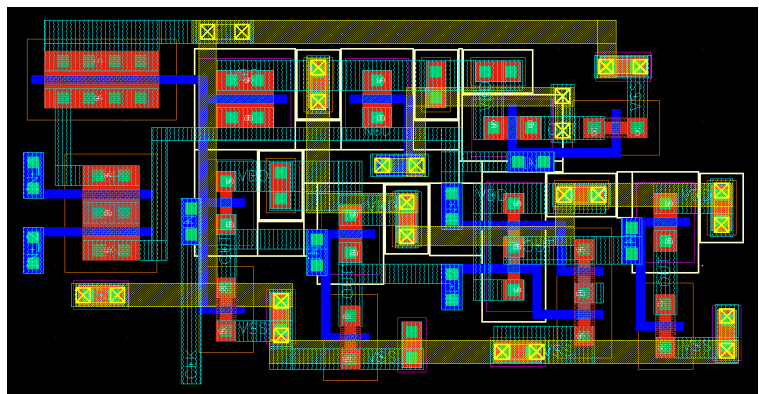
Como se ha mencionado anteriormente, las entradas de las puertas se han conectado de manera que operen en una situación de caso peor. Para lograr esta condición se ha habilitado sólo una de las entradas, mientras que las restantes se conectan a  $V_{DD}$  o a tierra, según la funcionalidad de la puerta. En el caso de la NAND las puertas restantes se conectan a  $V_{DD}$ , mientras que en las NOR se conectan a tierra.

**NAND de 2 entradas.** Su transistor de precarga se ha dimensionado con un ancho de 10 veces el mínimo de la tecnología (1.6  $\mu\text{m}$ ), los transistores de la red PDN con un ancho 5 veces el mínimo (800 nm), el transistor *footer* con un ancho de 15 veces el mínimo (2.4  $\mu\text{m}$ ) y el transistor *keeper* con un ancho de 7 veces el mínimo (1.12  $\mu\text{m}$ ). Su esquemático se muestra en la Figura 4.9(a) acompañado de la vista *layout* (Figura 4.9(b)).

**NOR de 6 entradas.** Su transistor de precarga se ha dimensionado con un ancho de 5 veces el mínimo de la tecnología (800 nm), los transistores de la red PDN con un ancho 5 veces el mínimo (800 nm), el transistor *footer* con un ancho de 15 veces el mínimo (2.4  $\mu\text{m}$ ) y el transistor *keeper* con un ancho de 5 veces el mínimo (800 nm). Su esquemático se muestra en la Figura 4.10(a) acompañado de la vista *layout* que se muestra en la Figura 4.10(b).



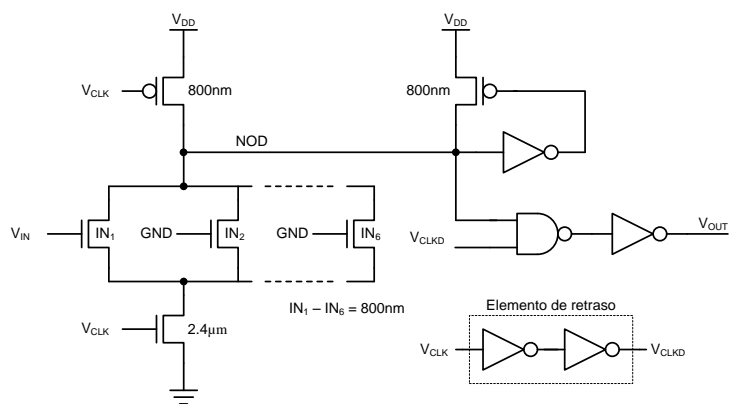
(a) Esquemático.



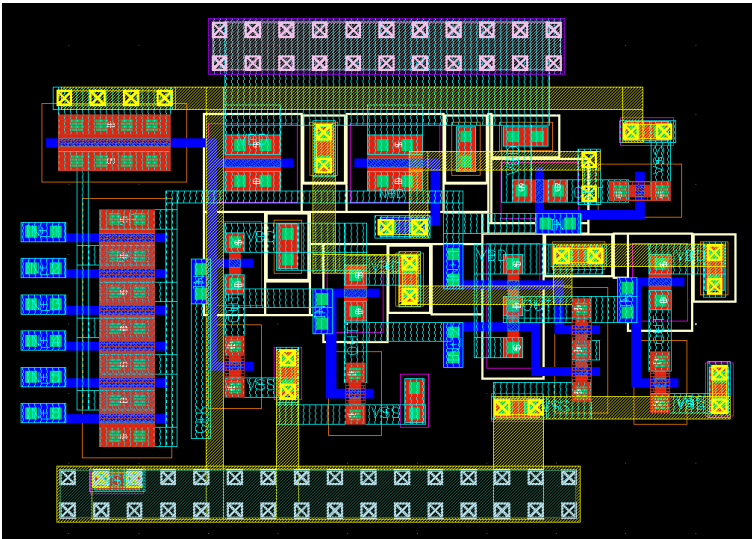
(b) Layout.

Figura 4.9: Puerta NAND de 2 entradas.





(a) Esquemático.



(b) Layout.

Figura 4.10: Puerta NOR de 6 entradas.

**NOR de 16 entradas.** La puerta NOR de 16 entradas es la más estudiada dentro de este trabajo y, por tanto, es de las más empleadas en todos los núcleos del circuito integrado. Su transistor de precarga se ha dimensionado con un ancho de 10 veces el mínimo de la tecnología ( $1.6\ \mu\text{m}$ ), los transistores de la red PDN con un ancho 5 veces el mínimo ( $800\ \text{nm}$ ), el transistor *footer* con un ancho de 15 veces el mínimo ( $2.4\ \mu\text{m}$ ) y el transistor *keeper* con un ancho de 7 veces el mínimo ( $1.12\ \mu\text{m}$ ). Su esquemático se muestra en la Figura 4.11 (a) acompañado de la vista *layout* que se muestra en la Figura 4.11 (b).

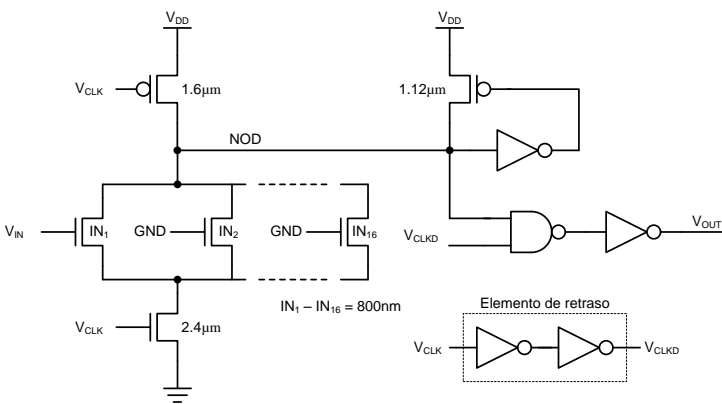
**NOR de 32 entradas.** Esta es la puerta con mayor número de entradas dentro del circuito integrado. Su transistor de precarga se ha dimensionado con un ancho de 10 veces el mínimo de la tecnología ( $1.6\ \mu\text{m}$ ), los transistores de la red PDN con un ancho 15 veces el mínimo ( $2.4\ \mu\text{m}$ ), el transistor *footer* con un ancho de 15 veces el mínimo ( $2.4\ \mu\text{m}$ ) y el transistor *keeper* con un ancho de 7 veces el mínimo ( $1.12\ \mu\text{m}$ ). Su esquemático se muestra en la Figura 4.12 (a) acompañado de la vista *layout* que se muestra en la Figura 4.12 (b).

#### 4.2.2. Circuitos *nanopipeline*.

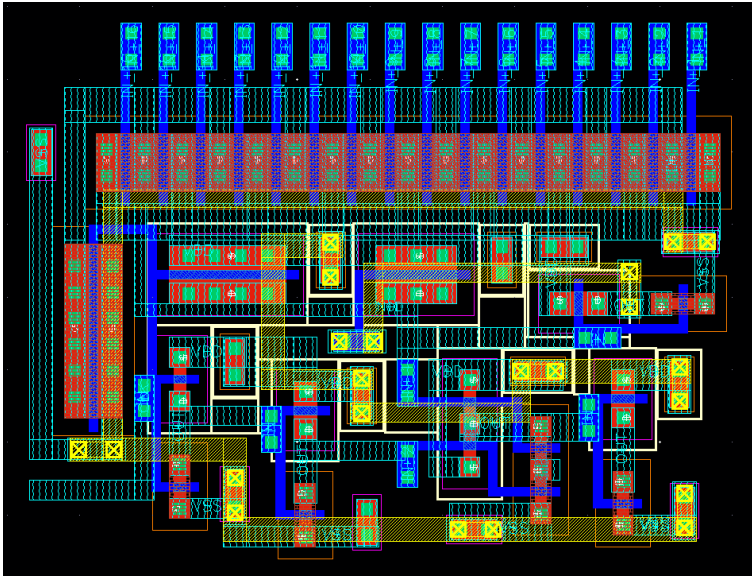
El diseño de los diferentes *nanopipelines* presentes dentro del circuito integrado se ha realizado interconectando puertas DOE en una configuración de una puerta por fase de reloj. Dentro del circuito integrado se pueden encontrar con un esquema de reloj de dos o tres fases. En la Figura 4.13 se muestra el esquemático y el *layout* de un *nanopipeline* de 10 puertas de 6 entradas.

En concreto se han diseñado los siguientes *nanopipelines*:

1. *Nanopipeline* de 2 puertas DOE de funcionalidad NOR de 16 entradas.
2. *Nanopipeline* de 2 puertas DOE de funcionalidad NOR de 32 entradas.
3. *Nanopipeline* de 4 puertas DOE de funcionalidad NOR de 32 entradas.
4. *Nanopipeline* de 10 puertas DOE de funcionalidad NOR de 6 entradas.
5. *Nanopipeline* de 10 puertas DOE de funcionalidad NOR de 16 entradas.

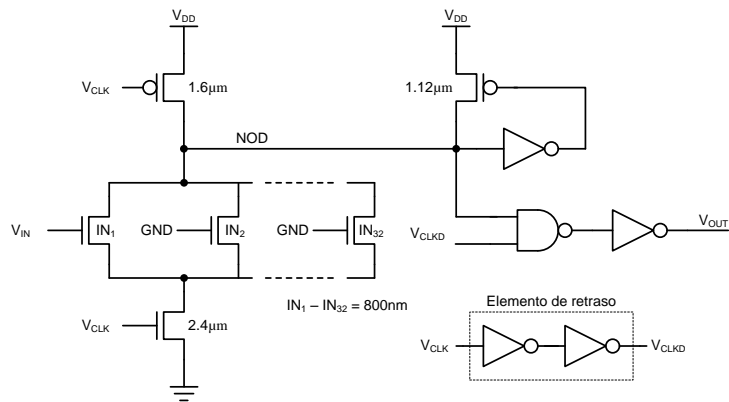


(a) Esquemático.

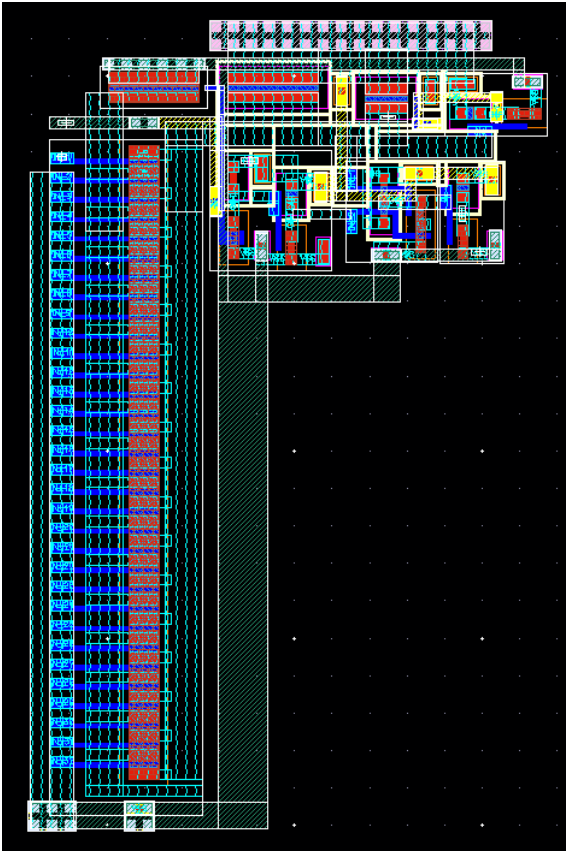


(b) Layout.

Figura 4.11: Puerta NOR de 16 entradas.

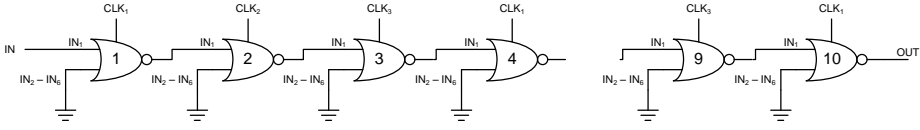


(a) Esquemático.

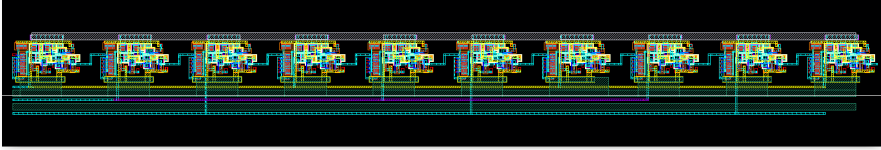


(b) Layout.

Figura 4.12: Puerta NOR de 32 entradas.



(a) Esquemático.



(b) Layout.

Figura 4.13: *nanopipeline* de 10 puertas de 6 entradas.

### 4.2.3. Circuitos aritméticos.

Los circuitos aritméticos incluidos dentro del circuito integrado se han diseñado empleando un *nanopipeline* de puertas DOE. Los circuitos incluidos son dos sumadores paralelos ampliamente utilizados en circuitos aritméticos de alto rendimiento. El CLA (*Carry Look Ahead*) se ha diseñado para funcionar con dos fases de reloj y el KS (*Kogge Stone*) para funcionar en versiones de dos y tres fases.

**Sumador CLA.** La Figura 4.14 muestra el diagrama de bloques de un sumador CLA de 4 bits. Consta de cuatro bloques de generación y predicción de acarreo, cuatro bloques sumadores y un bloque de generación de acarreo anticipado.

Los bloques de predicción y generación de acarreo evalúan:

$$P_i = A_i + B_i \quad (4.1)$$

$$G_i = A_i B_i \quad (4.2)$$

Los bloques de generación de la suma evalúan:

$$S_i = P_i \oplus C_i \quad (4.3)$$

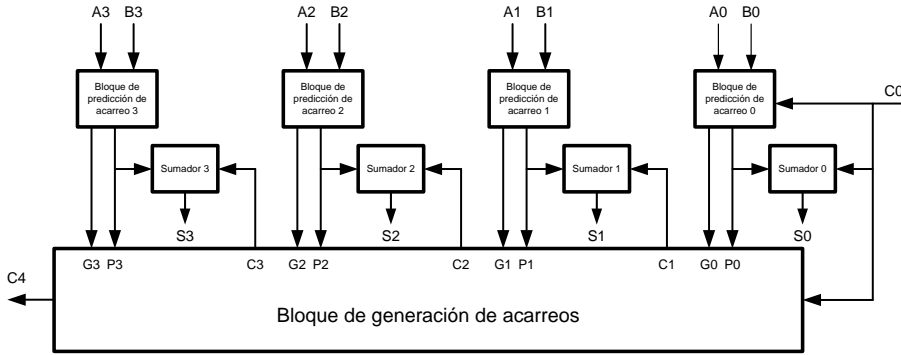


Figura 4.14: Diagrama de bloques del sumador CLA.

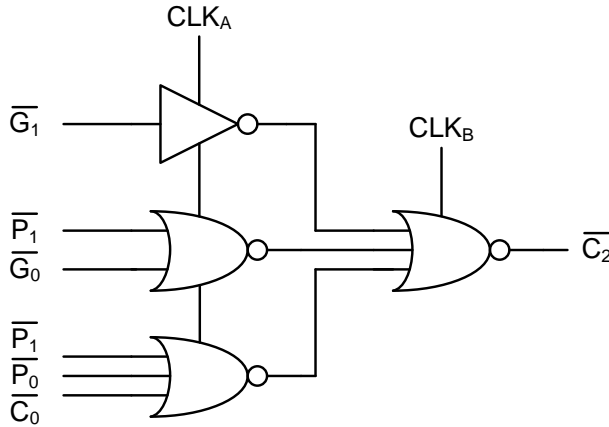


Figura 4.15: Diagrama lógico del generador de acarreo C2.

En el bloque de generación de acarreos anticipados, cada acarreo se implementa como una función de  $G_i$  y  $P_i$ ,  $0 \leq i \leq 3$ , a partir de:

$$C_{i+1} = G_i + P_i C_i \quad (4.4)$$

En nuestro caso, dado que las puertas DOE son inversoras, en el primer nivel se implementa  $\overline{P_i}$  y  $\overline{G_i}$ . Los acarreos se generan en dos niveles de puertas NOR. La Figura 4.15 muestra, a modo de ejemplo, el circuito lógico que implementa el acarreo  $\overline{C_2}$ . Por último, los bits de suma,  $S_i$ , se generan en un único nivel.

Para el dimensionamiento de las puertas DOE se han elegido nuevamente

como parámetros de diseño el ancho de los transistores de precarga, de la red PDN de entradas, de *footer* y *keeper*, siendo idénticos en los tres tipos de puertas (NOR, NAND y XOR). Los transistores de precarga se ha dimensionado con un ancho de 5 veces el mínimo (800 nm), los transistores de la red N con un ancho 5 veces el mínimo (800 nm), los transistores *footer* con un ancho de 10 veces el mínimo (1.6  $\mu\text{m}$ ) y los transistores *keeper* con un ancho de 2.5 veces el mínimo (400 nm).

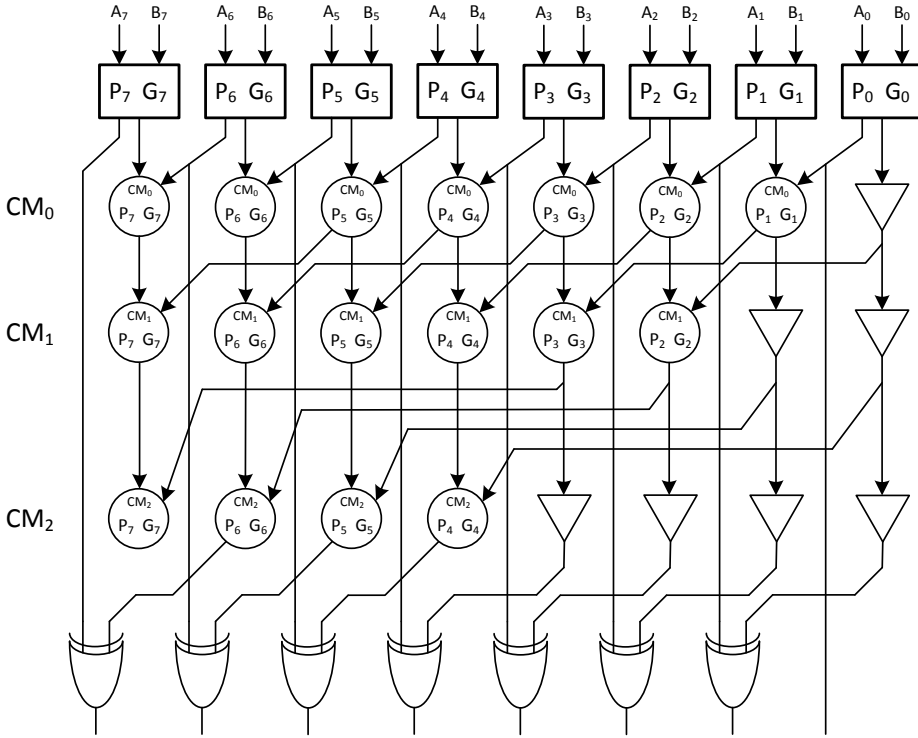
**Sumador *Kogge Stone* (KS).** En el circuito integrado se ha incluido el bloque de generación de acarreo de sumador KS de 8 bits. En la Figura 4.16(a) se muestra su diagrama de bloques. Consta de ocho bloques de generación y predicción de acarreo, 17 bloques *carry merge* (CM) y siete bloques inversores. Obsérvese que la implementación de los bloques PG y CM (Figura 4.16(b)) difiere de su implementación con puertas Dominó mostrada en la Figura 3.10 de esta Memoria. El carácter inversor de la puertas DOE se traduce en que los bloques CM pares e impares sean diferentes.

#### 4.2.4. Circuitos generadores de señales internas.

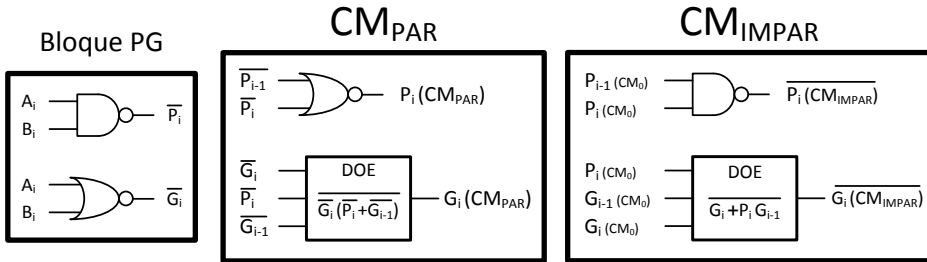
El núcleo INT contiene dos circuitos generadores que proporcionan las señales de reloj para los circuitos de este *core* y dos circuitos adicionales que proporcionan una señal de entrada interna a dichos circuitos.

**Generador de dos fases de reloj.** Este bloque genera una señal de reloj de dos fases cuya frecuencia es programable, pudiéndose generar ocho frecuencias diferentes. En la Figura 4.17 se muestra su diagrama de bloques. El generador contiene dos circuitos osciladores, cuatro divisores de frecuencia, dos multiplexores y un circuito para generar las dos fases de reloj.

Se han diseñado dos osciladores en anillo, uno rápido, con una frecuencia nominal de 3.2 GHz, y otro lento, con una frecuencia nominal de 1.7 GHz en esquemático. Las salidas de estos osciladores están conectadas a un multiplexor controlado por la señal externa TIPO\_OSC. Este multiplexor conecta su salida a una cadena de cuatro divisores de frecuencia, cuyas salidas se conectan a un multiplexor 4-1 controlado por las señales externas FREQ1 y FREQ2. De esta manera se consigue la división de frecuencias a la mitad, la cuarta, la octava o la dieciseisava parte de las frecuencias generadas por los osciladores, como se muestra en la Tabla 4.1.



(a) Diagrama lógico.



(b) Implementación de los bloques PG y CM con puertas DOE.

Figura 4.16: Sumador *Kogge Stone*.

**Generador CLK de tres fases.** Este bloque genera una señal de reloj de tres fases. Al igual que el bloque descrito anteriormente, la frecuencia



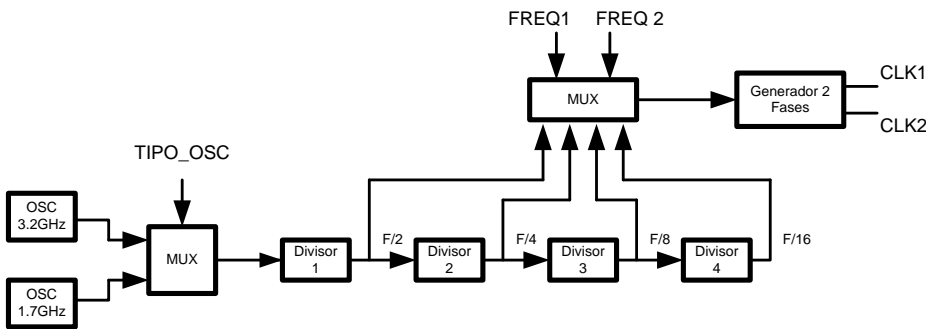


Figura 4.17: Diagrama del generador de señal de reloj de dos fases.

TIPO_OSC	FREQ1	FREQ2	F. Nominal
0	0	0	200 MHz
0	0	1	400 MHz
0	1	0	800 MHz
0	1	1	1.6 GHz
1	0	0	106 MHz
1	0	1	212 MHz
1	1	0	425 MHz
1	1	1	850 MHz

Tabla 4.1: Frecuencias nominales de los relojes internos de dos fases.

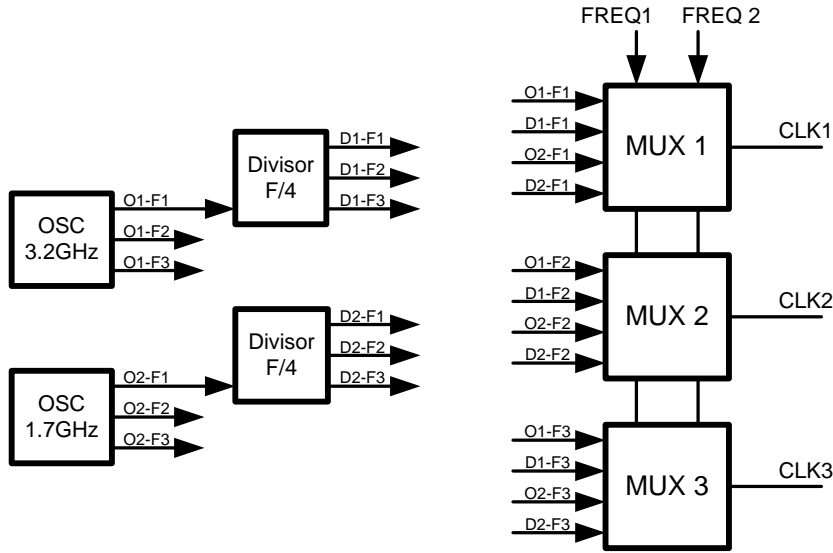


Figura 4.18: Diagrama del generador de señal de reloj a tres fases.

es programable, pudiéndose generar cuatro frecuencias diferentes. Este generador contiene dos circuitos osciladores, dos divisores de frecuencia y tres multiplexores, como se muestra en la Figura 4.18.

Los dos osciladores se han diseñado también a partir de inversores estáticos conectados en anillo, pero a diferencia del generador de señal de reloj de dos fases, los osciladores proporcionan tres fases de reloj de una frecuencia nominal de 3.2 GHz y 1.7 GHz respectivamente. La primera fase de cada uno está conectada a un divisor de frecuencia, que se encarga de generar tres fases a la mitad de la frecuencia. Las tres fases de las cuatro frecuencias generadas se conectan a tres multiplexores 4-1 controlados por las seales externas *FREQ1* y *FREQ2*. De esta manera se consiguen las frecuencias nominales que se muestran en la Tabla 4.2.

**Generadores de señal de entrada.** Los dos bloques generadores de señal de entrada incluidos dentro del núcleo INT se han construido siguiendo el diagrama de bloques de la Figura 4.19.

El primer bloque de generación de entrada conecta su entrada al generador interno de dos fases, mientras que el segundo se encuentra conectado al

FREQ1	FREQ2	F. Nominal
0	0	3.2 GHz
0	1	800 MHz
1	0	1.7 GHz
1	1	425 MHz

Tabla 4.2: Frecuencias nominales de los relojes internos de tres fases.

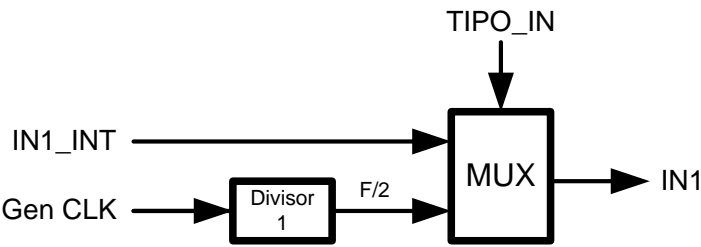


Figura 4.19: Diagrama del generador de entrada.

reloj interno de tres fases. El funcionamiento de cada uno de estos circuitos depende de su señal de entrada y de la señal de control *TIPO\_IN*. La señal de entrada que proviene del generador de señal de reloj interno se conecta a un multiplexor controlado por la entrada *TIPO\_IN* para seleccionar a su salida la mitad de la frecuencia de la señal de reloj interna o la señal de entrada externa *IN1\_INT*.

### 4.3. Resultados obtenidos.

#### 4.3.1. Entorno de medida.

El entorno de medida empleado para realizar el test del circuito integrado se ha configurado en el laboratorio siguiendo las normas de seguridad y manipulación de todos los equipos empleados para tal fin. En la Figura 4.20 se muestra el entorno de medida, compuesto por un generador de patrones, una analizador lógico, dos generadores de señal, un osciloscopio y una fuente de alimentación que se describen brevemente a continuación:

- Generadores de señal. Se han empleado dos equipos como generadores de señal externa. El primero de ellos, el *Tektronix AFG3102*, que

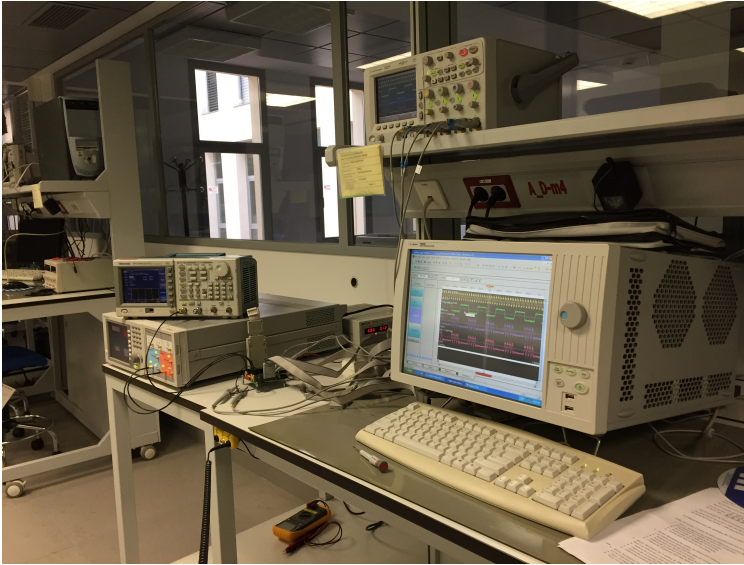


Figura 4.20: Entorno de medida.

tiene la capacidad de generar señales con frecuencias de operación de hasta 50 MHz para señales cuadradas y de hasta 100 MHz para señales sinusoidales. El segundo equipo es un generador de patrones *Agilent HP81134A*, con capacidad para generar señales cuadradas con frecuencias de hasta 3.35 GHz. Ambos equipos se han utilizado durante el test de los diferentes circuitos, para obtener la señal de reloj externa de dos fases y la señal de entrada externa.

- Osciloscopio *Agilent DSO6104A InfiniiVision*. Con este equipo se han realizado las capturas gráficas de las tensiones de entrada y salida de los diferentes circuitos testeados.
- Analizador lógico *Agilent 16902B*. Con este equipo y el osciloscopio previamente descrito, se han capturado las formas de onda experimentales en las entradas y salidas del circuito integrado. También, se ha utilizado como generador de patrones para obtener la señal de reloj digital de tres fases y las entradas externas.

TIPO_OSC	FREQ1	FREQ2	F. Medida	F. Interna
0	0	0	7 MHz	112 MHz
0	0	1	28 MHz	448 MHz
0	1	0	14 MHz	224 MHz
0	1	1	55 MHz	880 MHz
1	0	0	4 MHz	64 MHz
1	0	1	16 MHz	256 MHz
1	1	0	8 MHz	128 MHz
1	1	1	32 MHz	512 MHz

Tabla 4.3: Tabla de frecuencias reales de relojes internos de dos fases.

FREQ1	FREQ2	F. Medida	F. Interna
0	0	87 MHz	1.39 GHz
0	1	22 MHz	352 MHz
1	0	51 MHz	816 MHz
1	1	12 MHz	192 MHz

Tabla 4.4: Tabla de frecuencias reales de relojes internos de tres fases.

#### 4.3.2. Test de los bloques generadores de relojes.

Uno de los test realizados en laboratorio ha consistido en comprobar las salidas de los generadores de señal de reloj incluidos en el núcleo INT. Se han medido las frecuencias de las salidas del MUX1 y MUX2 con las entradas de selección direccionando su entrada B, que corresponden a la primera fase de la señal de reloj en dos y tres fases respectivamente. Como se ha expuesto en la descripción del núcleo INT, las frecuencias en las salidas de los multiplexores son divididas a una dieciseisava parte para que puedan ser manejadas por los *pads*. Se ha incluido la columna "F. Medida" en las tablas 4.3 y 4.4, donde se muestran las frecuencias medidas a través de las salidas *MUX1\_INT* y *MUX2\_INT*. También, se ha incluido la columna "F. Interna" que muestra las frecuencias a las que han operado los circuitos del núcleo INT.

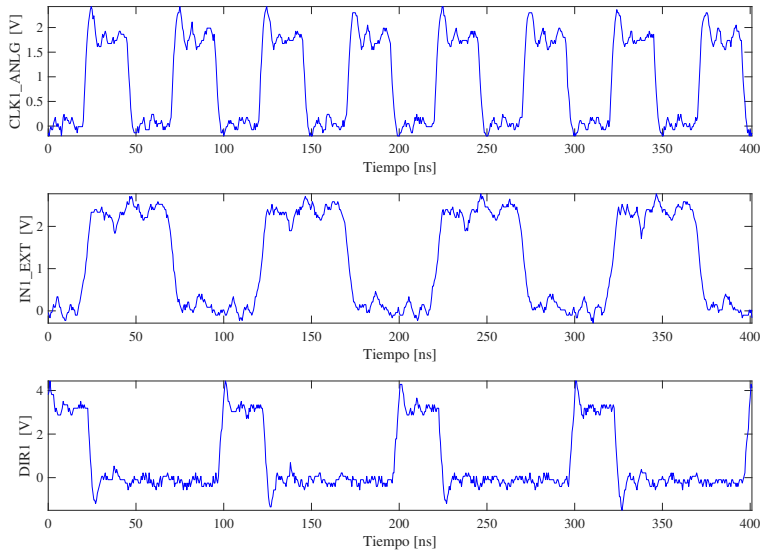


Figura 4.21: Formas de onda experimentales de una puerta NOR de 16 entradas del núcleo DIR.

#### 4.3.3. Test de puertas.

Se ha realizado un test en todas las puertas aisladas para comprobar su funcionalidad, obteniendo los resultados esperados en todas ellas. También se empleando de manera conjunta, el osciloscopio y el analizador lógico para la captura de datos.

A continuación, se muestran algunos de los resultados obtenidos. En la Figura 4.21, se ilustra el comportamiento de una puerta DOE con funcionalidad NOR de 16 entradas incluida en el núcleo DIR. Las formas de onda obtenidas corresponden a la señal de reloj externa *CLK1\_ANLG*, a la entrada *IN1\_EXT* y a la salida *DIR1*. Las frecuencias del test son de 20 MHz y 10 MHz, ambas con un *duty cycle* del 50 % para la señal de reloj y de entrada respectivamente. Concretamente, se aplica a la puerta una secuencia que alterna ceros y unos. En la salida *DIR1* se observa también una secuencia de “0” y “1”, y la naturaleza inversora de las puertas DOE.

El otro test que se muestra es el realizado a dos puertas del núcleo EXT. Se han seleccionado las entradas B de los multiplexores MUX1 y MUX2, que corresponden a dos puertas de funcionalidad NOR de 32 y 6 entradas respectivamente. En la Figura 4.22 se muestra la señal de reloj externa *CLK1\_ANLG* con una frecuencia de 20 MHz y la señal de entrada

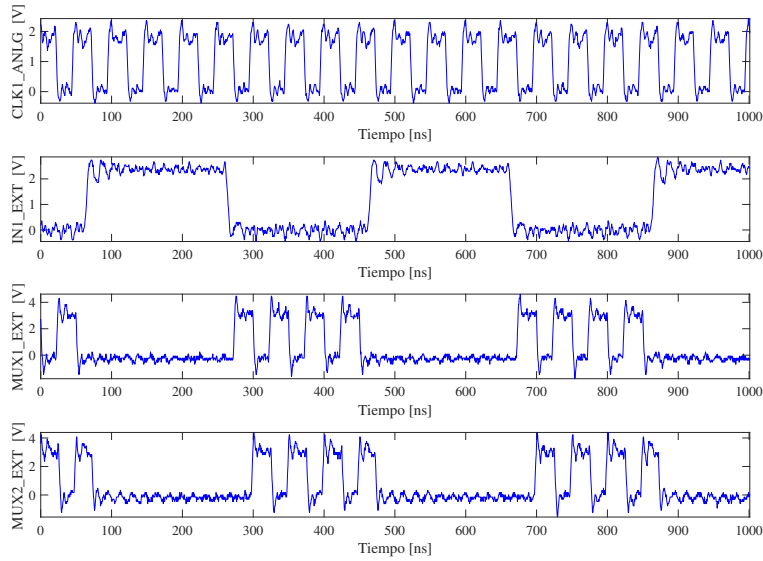


Figura 4.22: Formas de onda experimentales de dos puertas NOR del núcleo EXT, una de 32 entradas ( $MUX1\_EXT$ ) y una de 6 entradas ( $MUX2\_EXT$ ).

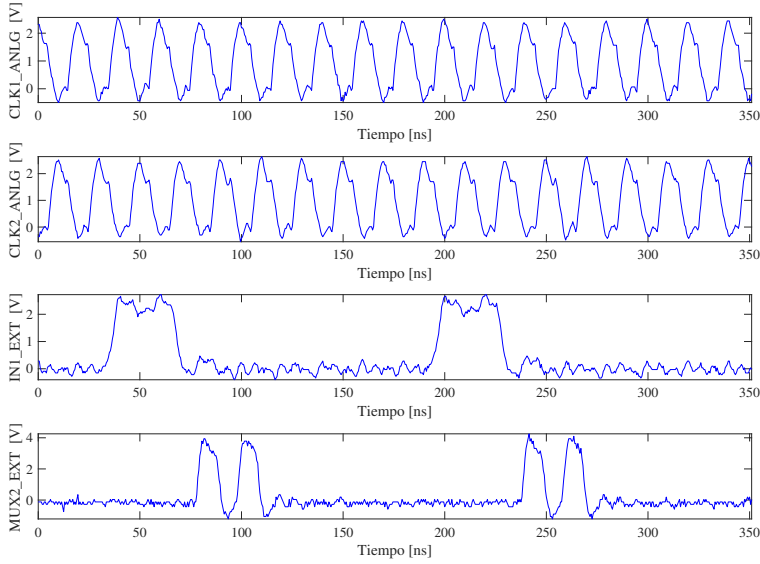
$IN1\_EXT$  con una frecuencia de 2.5 MHz, ambas con un DTC de 50 %. Las salidas  $MUX1\_EXT$  y  $MUX2\_EXT$  muestran un comportamiento correcto.

#### 4.3.4. Test de *nanopipelines*.

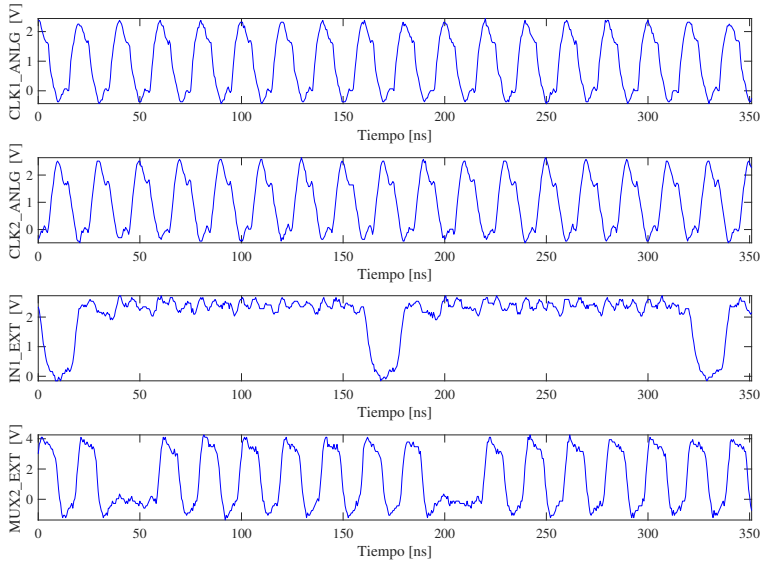
Para la comprobación funcional de los *nanopipelines* incluidos en el circuito integrado se ha dividido el test en dos partes. Una para los *nanopipelines* de los núcleos DIR y EXT a bajas frecuencias, y la segunda para los *nanopipelines* del núcleo INT a altas frecuencias.

Para el primero se han empleado dos generadores de señal, uno para generar la señal de reloj de dos fases y el segundo para generar la señal de entrada. Para generar la señal de reloj a tres fases se ha empleado el generador de patrones y para la captura de resultados, el osciloscopio y el analizador lógico.

Se ha comprobado el funcionamiento correcto de todos los *nanopipelines* de los núcleos DIR y EXT. Los resultados que se muestran a continuación corresponden a un *nanopipeline* de cuatro puertas DOE de funcionalidad



(a) DTC 20 %



(b) DTC 90 %

Figura 4.23: Formas de onda experimentales de un *nanopipeline* con puertas DOE-NOR de 32 entradas del núcleo EXT con un esquema de reloj de dos fases.



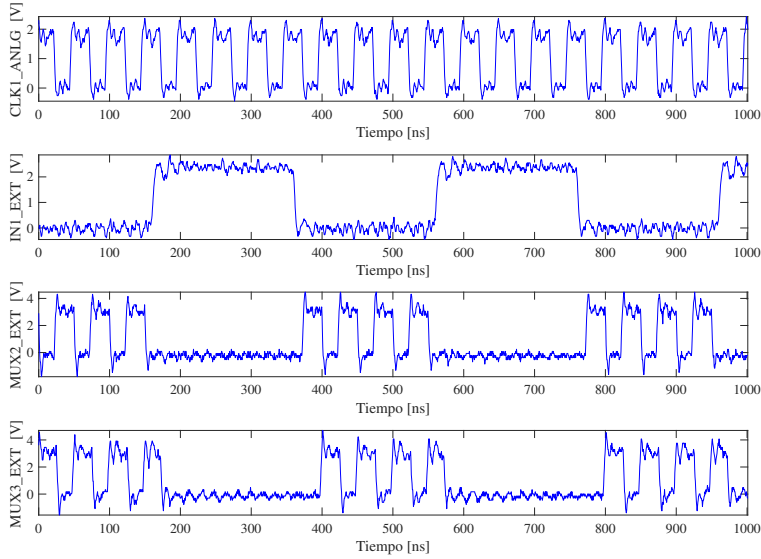


Figura 4.24: Formas de onda experimentales de dos *nanopipelines* del núcleo EXT, uno con puertas DOE-NOR de 6 entradas a dos fases (*MUX2\_EXT*) y otro con puertas DOE-NOR de 16 entradas a tres fases (*MUX3\_EXT*).

NOR de 32 entradas en una configuración de dos fases del núcleo EXT. Este *nanopipeline* incluye las puertas con el *fan-in* más alto del circuito integrado. Dos conjuntos de formas de onda capturadas se muestran en la Figura 4.23. La frecuencia de las dos fases de reloj (*CLK1\_ANLG* y *CLK2\_ANLG*) es de 50 MHz con un DTC del 50 %. En la Figura 4.23(a), la señal de entrada (*IN1\_EXT*) es de 6.25 MHz con un DTC de 20 % y en la Figura 4.23(b) con un DTC del 90 %. La salida del *nanopipeline* (*MUX2\_EXT*) muestra un funcionamiento correcto. La secuencia de entrada aplicada se obtiene en la salida con una determinada latencia como corresponde a un *nanopipeline* con un número par de puertas inversoras.

La Figura 4.24 captura las formas de onda de las salidas *MUX2\_EXT* y *MUX3\_EXT*, de los multiplexores MUX2 y MUX3 del núcleo EXT, que corresponden a circuitos que operan a dos y tres fases de reloj configurados con una frecuencia de 20 MHz y una señal de entrada externa *IN1\_EXT* de 2.5 MHz, ambas con un DTC del 50 %. Por simplicidad, en la figura solo se muestra la fase 1 de la señal de reloj de dos fases (*CLK1\_ANLG*).

En la segunda parte del test se ha comprobado la funcionalidad de los *nanopipelines* incluidas en el núcleo INT. Se ha comprobado el funciona-

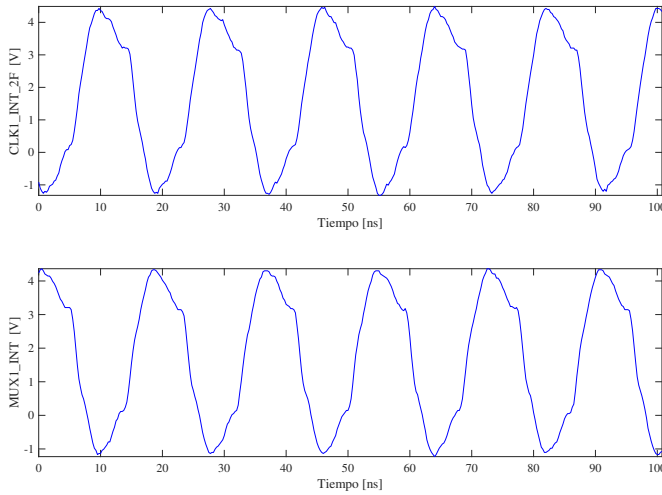


Figura 4.25: Formas de onda de un *nanopipeline* de 10 puertas DOE-NOR de 16 entradas a dos fases.

miento correcto empleando todas las frecuencias configurables de dos fases y tres fases, obteniendo los resultados esperados en todos circuitos. Esto se ha logrado diseñando dos test de comprobación funcional. El primero consiste en aplicar a la entrada de los *nanopipelines* una entrada constante con el generador de patrones. El segundo emplea las entradas internas del núcleo.

A continuación se muestran algunos de los resultados obtenidos. En primer lugar se ilustra el comportamiento de un *nanopipeline* de dos fases con una entrada constante. Se han configurado las señales de control para trabajar a la frecuencia más alta posible ( $TIPO\_OSC = 0$ ,  $FREQ1 = 1$  Y  $FREQ2 = 1$ ) que corresponde a un reloj interno de dos fases entorno a 910 MHz de acuerdo con la Tabla 4.3. La señal de entrada  $IN1\_INT$  es constante para un valor de uno lógico. Por lo tanto, la salida que corresponde al *nanopipeline* es una señal de la misma frecuencia que el reloj. La Figura 4.25 muestra las formas de onda experimentales de la fase uno del reloj interno de dos fases ( $CLK1\_INT\_2F$ ) y la entrada C del MUX1 que corresponde a la salida de un *nanopipeline* de 10 puertas DOE de funcionalidad NOR de 16 entradas. Se observa el comportamiento esperado, por lo que está operando correctamente por encima de los 900 MHz.

Para el segundo test (con entrada interna), se han configurado las señales de control para obtener la frecuencia más alta posible ( $FREQ1 = 0$

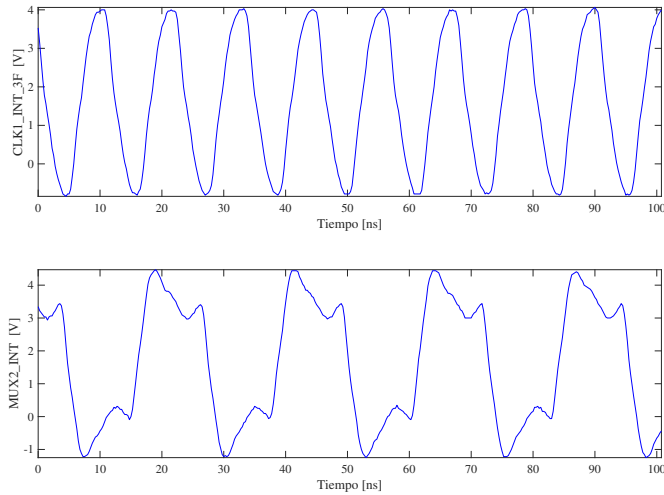


Figura 4.26: Formas de onda de un *nanopipeline* de 10 puertas DOE-NOR de 16 entradas con tres fases de reloj.

Y  $FREQ2 = 0$ ) en el generador de señal interno de tres fases (1.39 GHz). La Figura 4.26 muestra las formas de onda experimentales de la fase uno del reloj interno de tres fases ( $CLK1\_INT\_3F$ ) y la entrada C del MUX2 que corresponde a la salida de un *nanopipeline* de 10 puertas DOE de funcionalidad NOR de 16 entradas.

Se ha medido una frecuencia para la señal de reloj de 87 MHz. Teniendo en cuenta la división previa en 16 partes, se puede decir que se ha verificado el funcionamiento correcto del *nanopipeline* a una frecuencia interna aproximada de 1.39 GHz. Esta frecuencia se divide por el generador de entrada interno de tres fases, por lo que se espera que la salida del *nanopipeline* conmute a la mitad de la frecuencia de la señal de reloj, generando una salida con una frecuencia externa de 44 MHz.

#### 4.3.5. Test de sumadores.

Los bloques de generación de acarreo (CM) de los sumadores KS fabricados, han funcionado correctamente. Hemos comprobado que en los tres bloques CM incluidos en el circuito integrado se obtiene la salida correcta para las 16 combinaciones de entrada que se le pueden aplicar. Además se han realizado test con entrada variable. Las Figuras 4.27 y 4.28 muestran resultados para el CM de dos fases y el de tres fases en el núcleo

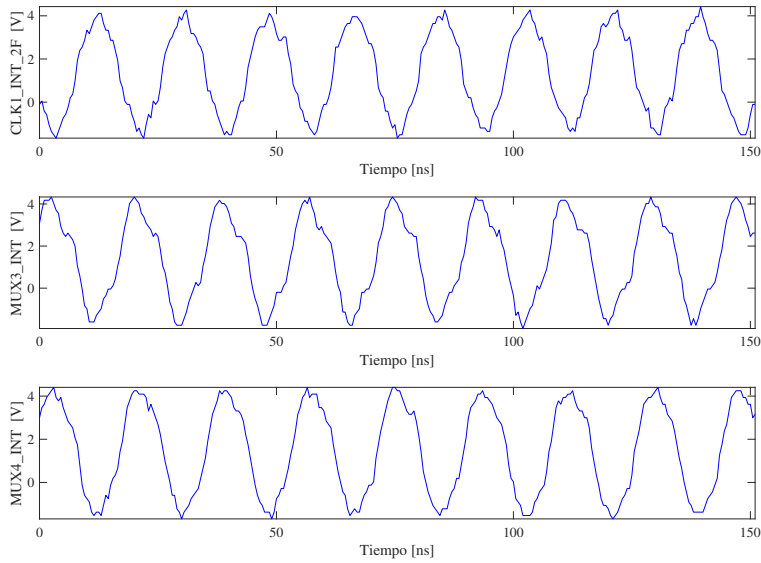


Figura 4.27: Formas de onda experimentales del sumador KS con dos fases de reloj.

INT. Las formas de onda mostradas en la Figura 4.27 corresponden a un test con la señal de reloj más alta disponible (por encima de 900 MHz de acuerdo a la Tabla 4.4) y una señal de entrada constante para la que los acarreo medidos son “1”. Con las entradas de selección apuntando a las entradas B de los multiplexores, obtenemos las señales de la fase uno de la señal de reloj ( $CLK\_INT\_2F$ ), el acarreo C3 ( $MUX3\_INT$ ) y el acarreo C4 ( $MUX4\_INT$ ). Se comprueba que las salidas medidas conmutan a la misma frecuencia de la señal de reloj (55 MHz). Esto se corresponde con el comportamiento esperado para salidas que son “1”.

La Figura 4.28 muestra formas de ondas correspondientes al test del CM de tres fases. También se ha realizado este test con la señal interna de reloj más alta (1.39 GHz de acuerdo con la Tabla 4.4). El patrón de test aplicado se ha generado con el generador de patrones de test. Alterna una combinación de entrada para las que los acarreo que se muestra en las Figuras valen “1” y otra para la que valen cero. Se aplican a una frecuencia aproximada de (5 MHz), muy lenta en comparación con la frecuencia interna del reloj e incluso con la frecuencia del reloj enlentecido a la salida del chip (87 MHz). Se observa el comportamiento esperado. Cuando la salida del correspondiente acarreo es “0”, la salida tras el divisor de frecuencia es

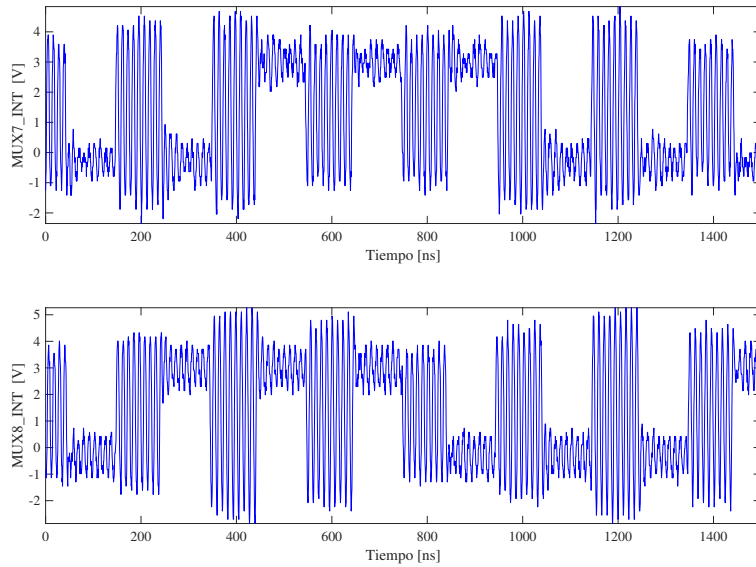


Figura 4.28: Formas de onda experimentales del sumador KS con tres fases de reloj.

constante. Puede estar en bajo o en alto porque no cuenta pulsos. Cuando la salida del CM es un “1”, en la salida del chip se obtiene una señal de la misma frecuencia del reloj. Por lo tanto tras el divisor, obtenemos señales de la misma frecuencia en el reloj externo y en la salida que se está midiendo. Vemos como estos dos comportamientos se alternan correctamente.

No se han obtenido resultados satisfactorios del sumador CLA. Ninguna de los integrados en el chip ha funcionado correctamente. Hay que puntualizar que ya sabíamos que las salidas suma era muy probable que no funcionasen. La implementación realizada conecta dos puertas DOE intercalando un inversor estático. Esto es, la segunda de las mencionadas puertas recibe valores lógicos altos durante la precarga de la etapa anterior. A pesar de tratarse de una configuración no permitida, por simulación se observó funcionamiento correcto para determinadas frecuencias de reloj. No obstante el diseño era poco robusto y ya preveíamos una alta probabilidad de que no funcionase. Por otra parte, el bloque CLA no estaba diseñado para operar a las frecuencias más altas de los relojes internos. El CLA muestra un patrón complejo de interconexiones debido a que las puertas de esta arquitectura de sumador tienen, en general, un fanout alto. Se resolvió con un esquema de interconexiones que resultó en líneas muy largas con

una gran capacidad y para el que se deberían haber diseñado las etapas de salida de una forma diferente. No obstante, estas consideraciones no explican porque no se ha obtenido operación correcta del CLA del núcleo externo o del CLA del núcleo INT a las frecuencias inferiores.

#### 4.4. Conclusiones.

En este capítulo se ha descrito el diseño y el test de un circuito integrado que ha permitido la demostración experimental del funcionamiento de las puertas DOE y de su operación *nanopipeline*. El circuito integrado se ha fabricado en una tecnología CMOS comercial de 130 nm 1.2 V.

El diseño se ha dividido en tres grandes bloques DIR, EXT e INT. Los núcleos DIR y EXT se controlan con señales de reloj externas, mientras que el núcleo INT utiliza señales de reloj generadas internamente para poder experimentar a frecuencias de operación más altas. El circuito integrado incluye distintos tipos de puertas, desde muy simples (NAND de dos entradas) hasta muy complejas (NOR de 32 entradas). Con ellas se han implementado *nanopipelines* de distinto número de entradas, con dos y con tres fases de reloj. También, se han incluido circuitos más complejos, concretamente el bloque de generación de acarreo de un sumador *Kogge Stone* de ocho bits y un sumador de propagación de acarreo de cuatro bits con arquitecturas *nanopipeline*.

Se ha diseñado y fabricado una PCB para el test del circuito en el laboratorio. Los tests realizados muestran una operación correcta de todas las puertas y todos los *nanopipelines* simples integrados. En el caso de los circuitos de núcleo INT esto significa que se han probado la arquitectura *nanopipeline* por encima de los 900 MHz en una configuración de dos fases de reloj y por encima de 1.3 GHz en la configuración con tres fases. También se han obtenido resultados satisfactorios en los test que se han realizado para los bloques generadores de acarreo de los sumadores KS. No así para el sumador de propagación de acarreo. En este caso y aunque se han identificado algunas limitaciones en su diseño, son necesarios análisis adicionales que expliquen el resultado obtenido.

## Capítulo 5

# Análisis de arquitecturas nanopipeline.

En el Capítulo 3 de esta Memoria se analizaron diferentes arquitecturas de *superpipeline* con puertas Dominó, empleando un esquema de reloj de múltiples fases, y se demostró que la reducción del número de puertas por fase de reloj presenta ventajas en términos de frecuencia de operación, consumo y tolerancia al ruido. Estos resultados animaron a emplear puertas DOE en un *superpipeline* de una puerta por fase (*nanopipeline*). Este Capítulo profundiza en el análisis y la evaluación del comportamiento de puertas dinámicas en arquitecturas *nanopipeline*.

El Capítulo se estructura en cuatro apartados. En el primero se analiza el comportamiento de puertas inversoras y no inversoras en una arquitectura *nanopipeline*. En los apartados posteriores se realiza un análisis comparativo entre *nanopipelines* con puertas Dominó y puertas DOE, mostrando los resultados obtenidos en diferentes experimentos. Primero, en un esquema de sincronización de tres fases y, posteriormente, de dos fases.

### 5.1. *Nanopipeline* con puertas dinámicas inversoras y no inversoras.

A pesar de las ventajas que presentan las puertas Dominó, el hecho de que sólo puedan implementar lógica no inversora es un factor limitante para el diseño de circuitos. Además, este comportamiento no inversor tiene importantes implicaciones en su operación a nivel de *pipeline*. En los experimentos llevados a cabo en la realización de este Trabajo, se ha podido observar que, cuando se trata de propagar las transiciones producidas

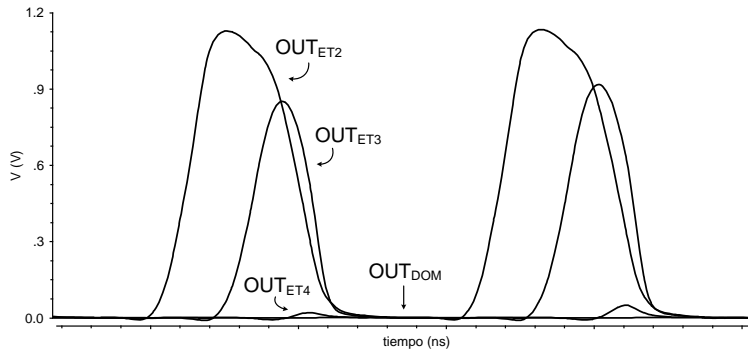


Figura 5.1: Formas de onda en simulación de un *nanopipeline* de 10 puertas Dominó.

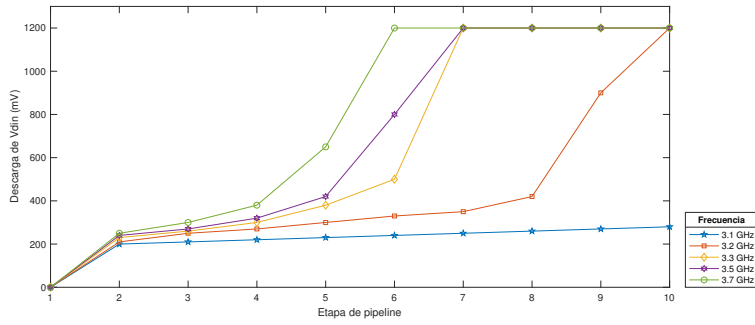
por una determinada combinación de entradas por un *pipeline* Dominó, se incrementa la frecuencia, se produce una degradación progresiva en los niveles de tensión en las transiciones de 0 a 1 de las salidas en las diferentes etapas [99].

Esta degradación lleva al *pipeline* a un fallo funcional a su salida, como se muestra en la Figura 5.1 para una cadena de 10 puertas Dominó. En dicha figura se puede ver como la tensión de salida en la etapa 3 ( $OUT_{ET3}$ ) apenas llega a la mitad de  $V_{DD}$  y en la etapa 4 ( $OUT_{ET4}$ ) es casi cero. Este comportamiento se debe a que la descarga del nodo dinámico requiere de entradas con muy buenos niveles de tensión para los “1” lógicos; de lo contrario el nodo dinámico no se descargará completamente y será más rápida su precarga.

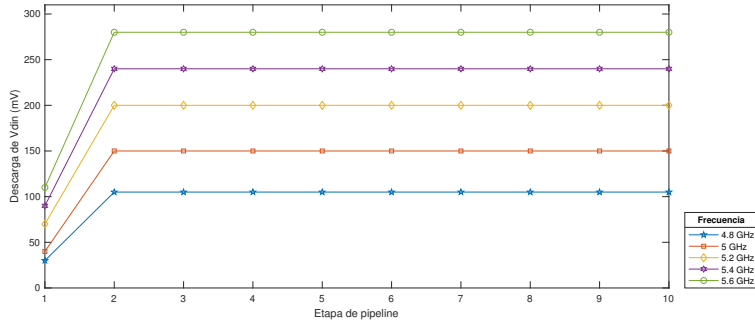
Este comportamiento no ideal en etapas consecutivas de un *pipeline* es acumulativo. Por tanto cuando se tiene un bajo nivel de tensión a la salida de una etapa, el nodo dinámico de la siguiente no se descargará completamente y la salida tendrá un nivel de tensión menor a la de la anterior etapa.

La Figura 5.2, muestra el comportamiento de los nodos dinámicos de un *nanopipeline* Dominó (5.2(a)) y un *nanopipeline* DOE (5.2(b)). Se representa el nivel de tensión mínimo, medido en la descarga, del nodo dinámico de cada etapa a diferentes frecuencias. Las diferencias son evidentes. En Dominó, el nivel de tensión mínimo, se degrada progresivamente. Esto se traduce en una degradación del nivel de uno lógico en la salida de la puerta y, en última instancia, en una salida errónea. Dependiendo de la frecuencia de operación el fallo se produce en una u otra etapa. En DOE, el nivel mínimo





(a) Dominó.



(b) DOE.

Figura 5.2: Nivel de tensión mínimo medido en la descarga de los nodos dinámicos de *nanopipelines* Dominó y DOE.

de tensión se incrementa ligeramente de la primera a la segunda etapa, debido a las no idealidades de las entradas de esta última, sin embargo, permanece constante en las siguientes etapas del *nanopipeline*.

Este primer experimento sugiere que la operación de los *nanopipelines* se beneficia de su implementación con puertas inversoras. Cuando se tiene un *pipeline* con puertas de funcionalidad inversora, la transición de cero a uno ocurre para combinaciones de entrada que no provocan la descarga del nodo dinámico. De esta manera, el nivel de tensión a la salida de una etapa no depende del nivel de tensión de los “1” lógicos presentes en sus entradas.

Es posible construir funciones lógicas inversoras a partir de lógica Dominó usando diferentes estilos de diseño, algunos de ellos empleando elementos de memoria, como ya se reportó en el Capítulo 1. En este capítulo nos centramos en puertas dinámicas inversoras que permiten implementar un *pipeline* de múltiples fases de reloj con una puerta por fase. Se describieron

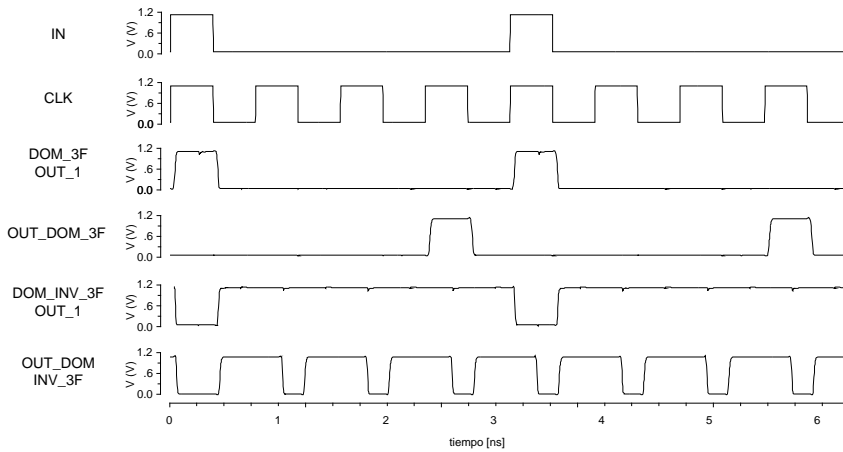


Figura 5.3: Formas de onda de dos *nanopipelines*, uno con puertas Dominó y otro con puertas Dominó inversoras.

dos propuestas que solventan la imposibilidad de interconectar puertas dinámicas inversoras retrasando la señal de reloj.

La lógica Dominó de reloj retrasado (CD-Domino) y la lógica de predicción de salida (OPL), introducen elementos de retraso en la señal de reloj para interconectar puertas dinámicas que eliminan el inversor estático de Dominó o añaden otro para implementar lógica inversora. La señal de reloj retrasada indica a la siguiente puerta cuándo el dato de salida está listo para ser evaluado. Podría pensarse que se está cumpliendo con lo propuesto en estas aproximaciones puesto que en una arquitectura *nanopipeline*, puertas consecutivas reciben fases de reloj diferentes. Sin embargo, hay una diferencia crítica en lo que respecta a la separación de los flancos descendentes de las señales de reloj.

Esta separación es  $T/N$ . Esto es, depende tanto del número de fases de reloj, como de la frecuencia de operación. El *nanopipeline* con dichas etapas inversoras falla si  $T/N$  es demasiado grande. Obsérvese que, en este caso, la precarga de la puerta (en alto) es erróneamente interpretada por la siguiente que aún está en evaluación. La Figura (5.3) ilustra este comportamiento. Esto se traduce en un límite inferior para la frecuencia de operación. Esto es, añadir o eliminar inversores no es una solución a la implementación de *nanopipelines* con puertas inversoras. Es necesario que estas puertas conserven un valor de precarga en bajo en la salida.

Las puertas DOE implementan funcionalidad inversora manteniendo su

salida en bajo durante la fase de precarga, por lo que pueden operar en arquitecturas *nanopipeline*. Esta operación ha sido validada experimentalmente como se ha descrito en el Capítulo 4. También en el Capítulo 3 se describió como la utilización de las puertas DOE en los *nanopipeline* de dos fases evitan la aparición de los fallos de deslizamiento, que sí ocurren en los que usan puertas Dominó. Además, en este apartado, se han mostrado resultados que sugieren ventajas adicionales asociadas a la implementación de arquitecturas *nanopipeline* usando puertas DOE frente a sus equivalentes Dominó. En los siguientes apartados se profundiza en la operación de los *nanopipelines*, analizando y evaluando el impacto de utilizar nuestras puertas DOE inversoras en lugar de las Dominó.

## 5.2. Evaluación de *nanopipelines* con tres fases de reloj.

Se han llevado a cabo distintos experimentos con el fin de comparar puertas DOE con puertas Dominó, implementando *pipeline* sin elementos de memoria (*superpipeline*) en una configuración de una puerta por fase (*nanopipeline*).

Cada *pipeline* consta de una cadena de 10 puertas idénticas. Éstas se han implementado en una tecnología CMOS de 130 nm 1.2 V con el dimensionamiento mostrado en la Tabla 5.1. Sus esquemáticos se muestran en la Figura 5.4. Se han diseñado con una sola entrada, pero añadiendo una capacidad en el nodo dinámico para emular puertas de diferente complejidad y distintas fortalezas del transistor *keeper*. Obsérvese que, a diferencia del diseño original DOE, se han diseñado sin celda de retraso para la señal de reloj. Esto es posible en puertas con una complejidad moderada que no introduzcan alta capacidad en el nodo dinámico y/o con un transistor *keeper* moderado. Esto es, la descarga del nodo dinámico no es excesivamente lenta. El análisis realizado explora diferentes valores de la capacidad en el nodo dinámico ( $C_{DIN}$ ) y diferentes dimensionamientos del transistor de precarga ( $W_{PRE} = K_{PRE} * W_{min}$ ). En concreto, cinco valores de  $C_{DIN}$  que van desde los 3 fF hasta los 27 fF y cinco valores de  $K_{PRE}$  entre 5 y 13.

### 5.2.1. Análisis de frecuencias de operación teóricas.

En primer lugar, se ha realizado una estimación de las frecuencias de operación de los *nanopipeline*. Esta estimación se basa en formular y evaluar restricciones temporales, que incluyen al período y a los retrasos de las

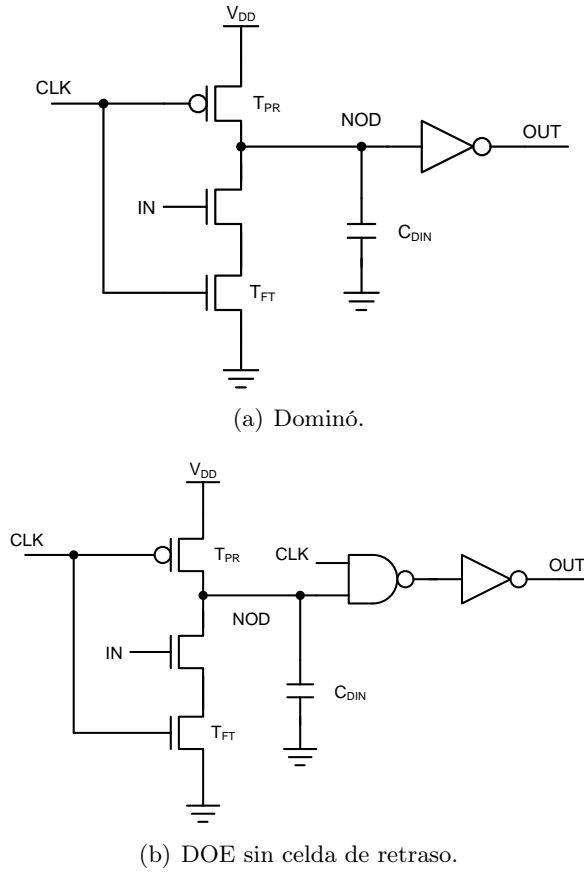


Figura 5.4: Esquemático de las puertas de los experimentos de análisis de *nanopipelines*.

puertas, requeridas para garantizar una operación correcta.

Para calcular estas frecuencias, se han medido por simulación los retrasos en las puertas, empleando las mismas condiciones de carga y estímulos de entrada que se utilizan en los *nanopipeline*. La Figura 5.5 muestra las tres fases de reloj utilizado en este experimento y cómo se han obtenido las cinco medidas de retraso que se relacionan a continuación:

- Retrasos de evaluación (E): se han tomado dos medidas, una a partir de 50 % del flanco ascendente del reloj hasta el 10 % del flanco de bajada del nodo dinámico ( $NOD_E$ ) y otra desde el 50 % del flanco

	Parametro	Dimensionamiento
Ancho mínimo	$W_{min}$	160 nm
Longitud mínima	$L_{min}$	120 nm
Red PDN	$W_{PDN}$	$5 * W_{min}$
	$L_{PDN}$	$L_{min}$
Transistor <i>footer</i>	$W_{Foot}$	$15 * W_{min}$
	$L_{Foot}$	$L_{min}$
Transistor P INV	$W_{PINV}$	$6 * W_{min}$
	$L_{PINV}$	$L_{min}$
Transistor N INV	$W_{NINV}$	$3 * W_{min}$
	$L_{NINV}$	$L_{min}$
Transistores P NAND DOE	$W_{PNAND}$	$5 * W_{min}$
	$L_{PNAND}$	$L_{min}$
Transistores N NAND DOE	$W_{NNAND}$	$2 * W_{min}$
	$L_{NNAND}$	$L_{min}$

Tabla 5.1: Dimensionamiento del experimento.

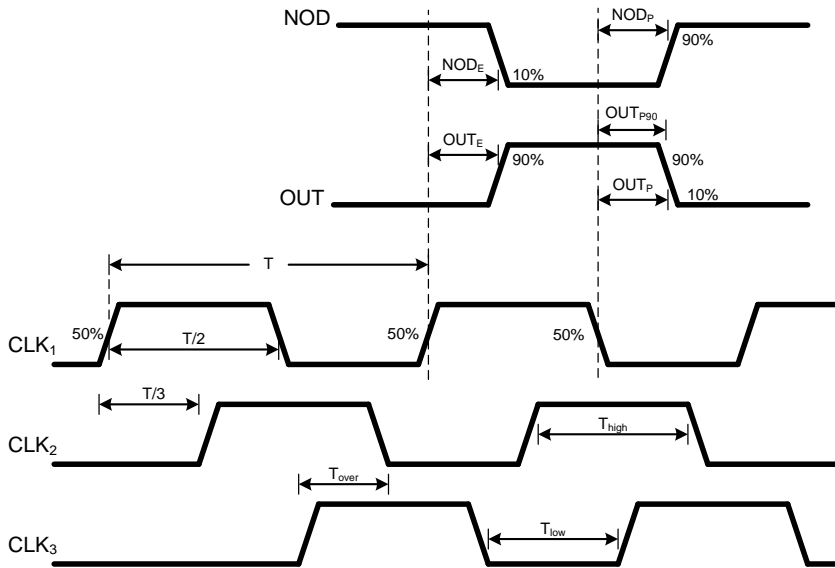


Figura 5.5: Esquema de reloj de tres fases y medidas de retraso.

ascendente del reloj hasta el 90 % del flanco ascendente de la salida ( $OUT_E$ ).

- Retrasos de precarga (P): se han tomado tres medidas, la primera a partir de 50 % del flanco de bajada del reloj hasta el 90 % del flanco de subida del nodo dinámico ( $NOD_P$ ) y otros dos desde el 50 % del flanco de bajada del reloj hasta el 90 % del flanco descendente de la salida ( $OUT_{90P}$ ) y hasta el 10 % del flanco descendente de la salida ( $OUT_P$ ).

Los retrasos medidos para todos los valores de  $K_{PRE}$  y de  $C_{DIN}$  en puertas Dominó y DOE se recopilan en las Tablas 5.2 y 5.3.

$K_{PRE}$	R	$C_{DIN}$ 3ff			$C_{DIN}$ 9ff			$C_{DIN}$ 15ff			$C_{DIN}$ 21ff			$C_{DIN}$ 27ff		
		NOD	OUT	OUT <sub>90</sub>	NOD	OUT	OUT <sub>90</sub>	NOD	OUT	OUT <sub>90</sub>	NOD	OUT	OUT <sub>90</sub>	NOD	OUT	OUT <sub>90</sub>
5	E	22.69	33.47		39.08	46.25		55.25	58.02		71.26	69.61		87.13	81.11	
	P	49.59	46.74	33.34	88.66	71.91	52.82	127.5	95.29	71.12	166.2	117.5	89.14	205.5	139.8	107
7	E	24.14	34.65		40.47	47.43		56.62	59.33		72.61	70.83		88.55	82.33	
	P	36.2	38.75	27.12	64.42	56.48	41.12	91.52	73.46	54.29	118.7	89.93	67.04	145.9	105.4	79.51
9	E	25.4	35.9		41.92	48.59		57.99	60.38		74.03	71.87		89.89	83.27	
	P	29.14	34.33	23.59	51.03	48.21	34.56	71.99	61.48	44.96	92.73	74.18	54.9	113.6	86.88	64.66
11	E	26.86	36.97		43.17	49.63		59.34	61.61		75.37	73.11		91.26	84.41	
	P	24.79	31.49	21.38	42.49	42.84	30.34	59.75	53.74	38.96	76.59	64.26	47.22	93.39	74.54	55.21
13	E	28.12	38.19		44.61	50.86		60.73	62.69		76.74	74.26		92.65	85.71	
	P	21.88	29.54	19.85	36.72	39.28	27.55	51.27	48.49	34.8	65.53	57.38	41.83	79.64	66.13	48.68

Tabla 5.2: Retrasos (ps) de puertas Dominó.

$K_{PRE}$	R	$C_{DIN}$ 3ff			$C_{DIN}$ 9ff			$C_{DIN}$ 15ff			$C_{DIN}$ 21ff			$C_{DIN}$ 27ff		
		NOD	OUT	OUT <sub>90</sub>	NOD	OUT	OUT <sub>90</sub>	NOD	OUT	OUT <sub>90</sub>	NOD	OUT	OUT <sub>90</sub>	NOD	OUT	OUT <sub>90</sub>
5	E	20.48	48.95		36.54	49.5		52.3	49.75		68.1	49.83		83.81	49.84	
	P	41.69	36.42	24.62	80.99	36.38	24.73	120.1	36.54	24.76	159.3	10040	24.78	198.1	36.56	24.79
7	E	21.88	48.19		37.91	49.04		53.63	49.43		69.44	49.58		85.24	49.66	
	P	31.46	36.42	24.74	58.82	36.63	24.78	86.15	36.46	24.8	113.4	10040	24.81	140.6	36.59	24.81
9	E	23.17	47.73		39.19	48.77		55.02	49.17		70.82	49.37		86.57	49.48	
	P	25.83	36.38	24.9	46.82	36.64	24.83	67.72	36.48	24.83	88.62	1301	24.83	109.6	36.62	24.83
11	E	24.47	47.27		40.55	48.48		56.33	48.93		72.15	49.18		87.91	49.34	
	P	22.34	36.47	25	39.3	36.64	24.88	56.26	36.67	24.86	73.15	36.51	24.86	90.05	36.52	24.85
13	E	25.81	47.02		41.87	48.19		57.7	48.7		73.49	49		89.3	49.18	
	P	19.88	36.61	25.05	34.17	36.6	24.92	48.42	36.71	24.9	62.59	36.75	24.88	76.77	36.53	24.87

Tabla 5.3: Retrasos (ps) de puertas DOE.

A partir de estos tiempos se han formulado cinco restricciones conservadoras que deben satisfacerse para garantizar una correcta operación de los *nanopipelines* con tres fases de reloj.

**Restricción 1:** La tercera parte del período debe ser mayor que el retraso de evaluación del nodo de salida. De esta manera se asegura que la entrada de la siguiente etapa está disponible cuando comience su evaluación.

$$T/3 > OUT_E \quad (5.1)$$

**Restricción 2:** La tercera parte del período debe ser mayor que el retraso de evaluación del nodo dinámico, asegurando que el nodo dinámico se descargue lo suficiente antes de la evaluación de la siguiente etapa.

$$T/3 > NOD_E \quad (5.2)$$

**Restricción 3:** La mitad del período debe ser mayor que el retraso de precarga del nodo de salida, garantizando que el nodo de salida se precargue en bajo completamente.

$$T/2 > OUT_P \quad (5.3)$$

**Restricción 4:** La mitad del período debe ser mayor que el retraso de precarga del nodo de dinámico. Así, se asegura que el nodo dinámico se precarga completamente.

$$T/2 > NOD_P \quad (5.4)$$

**Restricción 5:** El tiempo de solape ( $T_{over}$ ) más el retraso de precarga del nodo de salida debe ser mayor que el retraso de evaluación del nodo dinámico, con el fin de evitar que la evaluación se detenga como consecuencia de la precarga de la etapa anterior.

$$T_{over} + OUT_{90P} > NOD_E \quad (5.5)$$

$$T/6 + OUT_{90P} > NOD_E \quad (5.6)$$

Obsérvese que con el fin de que el análisis sea conservador se utiliza aquí el valor  $OUT_{90P}$ . En cuanto la salida comienza su transición al valor de precarga (bajo) asumimos que se interrumpe la descarga del nodo dinámico de la siguiente etapa.



**Influencia de las restricciones en los circuitos.** Las cinco restricciones temporales proporcionan cinco períodos mínimos y cinco frecuencias máximas para cada uno de los *nanopipeline* analizados. La menor de estas cinco es la frecuencia de operación estimada. La restricción a partir de la cual se obtiene esta frecuencia de referencia es la limitante del circuito.

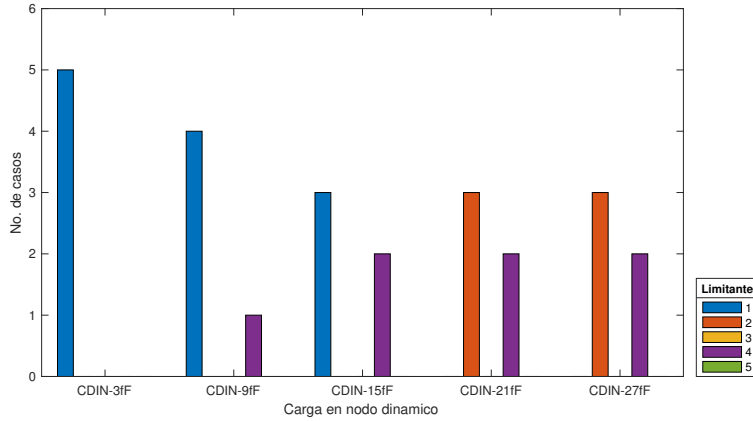
Es interesante analizar cuáles son las limitantes en cada caso. En la Figura 5.6(a) se muestra, para cada capacidad de nodo dinámico, el número de casos en los que cada restricción es la limitante en los *nanopipeline* construidos con puertas Dominó. Se observa que para las primeras tres capacidades (3 fF, 9 fF y 15 fF) predomina el criterio 1 como limitante, dado que para estos valores bajos de capacidad se da una carga y descarga rápida del nodo dinámico.

A partir de 9 fF, se comienzan a dar casos donde la limitante del circuito es el criterio 4 (1 caso para 9 fF y 2 casos para valores de  $C_{DIN}$  de 15 fF, 21 fF y 27 fF). Estos casos corresponden a valores de  $K_{PRE}$  bajos (5, 7, 9). Esto es consecuencia de que al aumentar el valor de  $C_{DIN}$ , hay mayor dificultad en la precarga del nodo dinámico. También se observa que, para valores de  $C_{DIN}$  de 21 fF y 27 fF, el criterio 2 es el que más limita con tres casos. Estos corresponden a los valores de  $K_{PRE}$  más altos. Nuevamente, este límite viene dado por el aumento de la capacidad en el nodo dinámico, solo que esta vez, la limitación no se debe a la precarga sino a la evaluación.

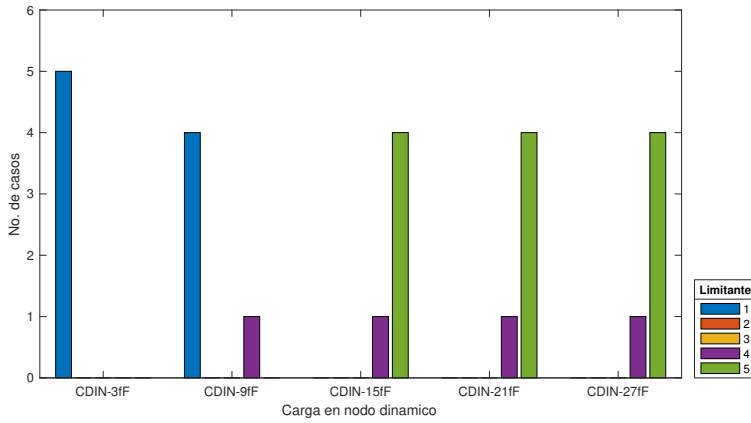
En el caso de DOE la tendencia cambia, como se muestra en la Figura 5.6(b), donde se observa nuevamente que, para las capacidades más bajas (3 fF y 9 fF), el criterio que más limita es el 1 mientras que el criterio 4 comienza a aparecer con una capacidad de 9 fF. Obsérvese que, a partir de una capacidad de 15 fF, el criterio que más limita es el 5.

**Análisis de frecuencias teóricas.** La Figura 5.7 muestra la relación de frecuencias teóricas entre circuitos DOE y Dominó. En la mayoría de los casos (18 casos), la frecuencia teórica de los *nanopipeline* Dominó, es mayor que la de los DOE. Las diferencias más importantes se obtienen para  $C_{DIN} = 3$  fF y para los dos valores más altos de  $C_{DIN}$  analizados,  $C_{DIN} = 21$  fF y  $C_{DIN} = 27$  fF.

En el primer caso, tanto en Dominó como en DOE, la restricción que determina la frecuencia teórica es la 1, relacionada con el retraso de evaluación del nodo de salida. En DOE este retraso no depende de  $C_{DIN}$  y resulta ser mayor que el retraso de evaluación del nodo de salida de Dominó, para el que sí depende, para este valor tan bajo de  $C_{DIN}$ . Además, se observa un ligero incremento de la relación de frecuencias con  $K_{PRE}$ . Esto se explica



(a) Dominó.



(b) DOE.

Figura 5.6: Restricciones limitantes en *nanopipelines*.

en base a que mientras el retraso de evaluación de la salida en DOE es prácticamente independiente de este parámetro, en Dominó al aumentar  $K_{PRE}$  se incrementa mínimamente el retraso de evaluación de la salida.

Este comportamiento también se observa para  $C_{DIN} = 9\text{ fF}$ , aunque ahora con valores muy similares de frecuencias teóricas al estar muy igualados los tiempos de evaluación de la salida de ambas topologías. Sin embargo, se observa una diferencia significativa para  $K_{PRE} = 5$ , donde DOE tiene la frecuencia teórica más alta. Esto se debe a que la restricción para este valor de  $K_{PRE}$  en ambas topologías es la 4, mientras que para el resto de valores

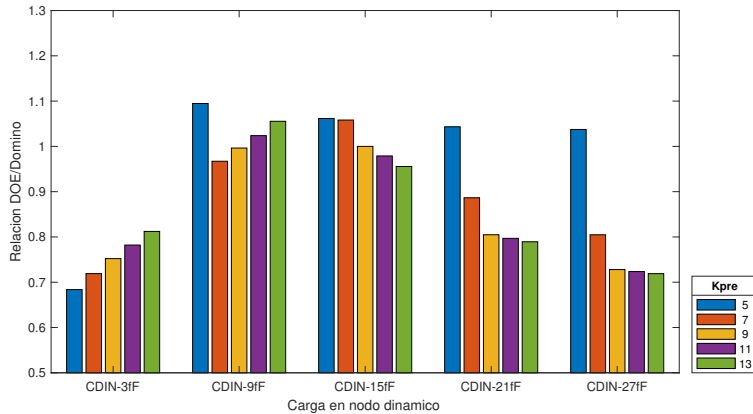


Figura 5.7: Comparación de frecuencias teóricas entre Dominó y DOE.

de  $K_{PRE}$  es la 1. A partir de  $C_{DIN} = 9 \text{ fF}$ , la relación de frecuencias teóricas para  $K_{PRE} = 5$  permanece cercana a la unidad para todos los valores de  $C_{DIN}$ , ya que están limitados por la restricción 4, donde los retrasos de precarga en el nodo dinámico permanecen prácticamente iguales.

Para los otros dos valores de  $C_{DIN}$  para los que las diferencias son más significativas, la explicación hay que buscarla en que en DOE la restricción que limita es la 5 en lugar de la 1 como en Dominó (excepto para los valores más bajos de  $K_{PRE}$ ). Ello se debe al propio experimento, en el que se va incrementando  $C_{DIN}$ , pero se ha mantenido el dimensionado de la puerta NAND de DOE. Ello hace que el retraso de precarga de la salida se mantenga prácticamente constante en DOE para los distintos circuitos analizados, mientras que el retraso de evaluación del nudo dinámico aumenta con  $C_{DIN}$ . La restricción 5 está relacionada con la diferencia entre estos dos tiempos y por ello resulta ser la limitante en DOE. En Dominó, el retraso de precarga de la salida también se incrementa con  $C_{DIN}$ , como el retraso de evaluación del nodo dinámico, y la restricción 5 es menos limitante que la 1. Podríamos decir que el experimento es más desfavorable a DOE, ya que para los valores más altos de  $C_{DIN}$ , el dimensionamiento de la puerta NAND que se está utilizando no sería el más adecuado. Diseñando para que DOE estuviese también limitada en frecuencia por la restricción 1 o la 2, la frecuencia teórica de DOE sería similar a la de Dominó. Esto también es válido para  $C_{DIN} = 15 \text{ fF}$ , aunque ahora las frecuencias teóricas resultantes son similares.

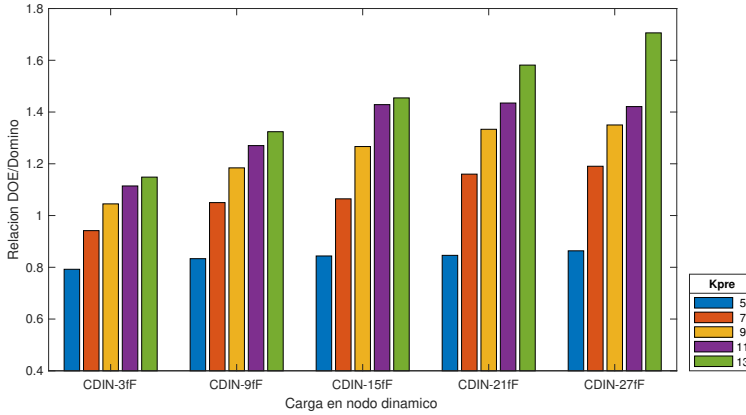


Figura 5.8: Comparación de frecuencias simuladas entre Dominó y DOE.

### 5.2.2. Análisis de frecuencias de operación medidas por simulación.

Una vez calculadas las frecuencias de referencia, se han realizado simulaciones para medir la frecuencia de operación de los *nanopipelines*.

En estas simulaciones se ha podido comprobar que en los circuitos Dominó, el fallo funcional se produce en etapas intermedias del *pipeline* debido a la degradación de la señal de entrada. Como se describió en el Apartado 5.1, esta problemática ocurre cuando, en una situación límite, la primera etapa de la cadena comienza a tener una respuesta a la salida de menor calidad a la deseada, generando una degradación de señal que se propaga a lo largo de la cadena, provocando un fallo funcional en una etapa posterior. Este tipo de fallo no ocurre en DOE debido a su naturaleza inversora y, a diferencia de Dominó, el fallo se produce siempre en la misma etapa (la segunda), debido a que la puerta de la segunda etapa no alcanza a descargar su puerta NAND y genera un *glitch* que se propaga a través de las etapas pares como un “1” lógico.

La Figura 5.8 muestra la relación de frecuencias simuladas entre ambas topologías, para todos los valores de  $K_{PRE}$  y para cada capacidad de nodo dinámico. Comparando con la relación frecuencias teóricas de la Figura 5.7, se aprecia un cambio significativo de comportamiento. Esta vez la relación de frecuencias favorece a DOE en 19 de los 25 casos.

Sólo para los valores de  $K_{PRE} = 5$  y para  $K_{PRE} = 7$  en los valores de  $C_{DIN} = 3$  fF y  $C_{DIN} = 9$  fF, las puertas DOE son más lentas que las puertas

Dominó. Es un resultado esperado, ya que DOE requiere de precargas en el nodo dinámico más rápidas para que la NAND pueda evaluar de manera adecuada.

También se observa que, para todos los valores de  $C_{DIN}$ , a medida que aumenta el tamaño del transistor de precarga mejora la velocidad de DOE respecto a Dominó, acercando la relación de frecuencias a la unidad en  $K_{PRE} = 7$  e igualando y superando a Dominó a partir de  $K_{PRE} = 9$ . Se debe tanto a que mejora la frecuencia de DOE, como a que empeora la de Dominó. Esto es, el dimensionamiento del transistor de precarga debe hacerse de manera distinta según la topología. Dominó saca partido de valores bajos del transistor de precarga puesto que es capaz de tolerar una ligera reducción del nivel de precarga del nodo dinámico sin que afecte a sus retrasos de evaluación. Un transistor de precarga menor reduce la capacidad del nodo dinámico, permitiendo incrementar ligeramente el retraso de evaluación. DOE se beneficia de transistores de precarga de mayor tamaño. De lo contrario, se degrada el tiempo de evaluación de estas puertas al enlentecerse la descarga de la puerta NAND. Además los tiempos de precarga del nodo dinámico en DOE se incrementan como consecuencia de los *glitches* que se pueden producir en las etapas anteriores y que, sin provocar fallos funcionales, requieren de transistores de precarga más fuertes.

También es posible apreciar que la mejora de DOE respecto a Dominó se hace más significativa conforme aumenta  $C_{DIN}$ . Cuando comparábamos las frecuencias teóricas, el comportamiento era el contrario a partir de  $C_{DIN}$  15 fF, ya que la restricción 5 se convertía en la dominante para DOE. Este resultado parece sugerir que esta restricción no es muy dura para esta topología. De hecho, el análisis detallado de su comportamiento nos permite concluir que DOE, a diferencia de Dominó, es muy tolerante a que la descarga del nodo dinámico se vea interrumpida por la precarga de la salida de la etapa anterior, ya que no se traduce a su salida.

En Dominó, esta situación provoca que el retraso de precarga del nodo de salida se reduzca, degradando el “1” lógico a su salida. Además, como ya se ha mencionado a lo largo de esta Memoria, este efecto es acumulativo y provoca un fallo funcional tras un determinado número de etapas. Los datos recogidos en la Tabla 5.4 también soportan esta explicación. Esta tabla muestra las frecuencias calculadas con cada uno de los cinco criterios enumerados para  $C_{DIN}$  27 fF y  $K_{PRE} = 13$ . Si bien DOE está limitada por el criterio 5 (2.58 GHz), ésta en realidad llega cerca de los 6 GHz, que es casi el doble de la frecuencia a la que llega Dominó (3.5 GHz). Se puede decir entonces que DOE está funcionando con valores cercanos a las limitantes

de los criterios 1 y 4, que están alrededor de los 6.5 GHz, mientras que la frecuencia simulada de Dominó coincide con la frecuencia teórica del criterio 2.

Topología	Criterio 1	Criterio 2	Criterio 3	Criterio 4	Criterio 5	F Simulada
Dominó	3.88 GHz	3.59 GHz	10.27 GHz	6.27 GHz	3.79 GHz	3.5 GHz
DOE	6.77 GHz	3.73 GHz	20.10 GHz	6.51 GHz	2.58 GHz	6.1 GHz

Tabla 5.4: Frecuencias teóricas para  $K_{PRE} = 13$  y  $C_{DIN} = 27$  fF.

Las siguientes gráficas también ilustran las anteriores argumentaciones. La Figura 5.9 muestra las frecuencias simuladas para dos valores de  $K_{PRE}$  opuestos. Con  $K_{PRE} = 5$  (Figura 5.9(a)), las puertas Dominó superan en frecuencia a las DOE debido a que son capaces de tolerar una reducción del nivel de precarga del nodo dinámico sin que afecte a sus retrasos de evaluación. Mientras que con  $K_{PRE} = 13$  (Figura 5.9(b)), las puertas DOE alcanzan mayores frecuencias que las Dominó, ya que permiten una buena precarga y, por consiguiente, una evaluación más rápida de su puerta NAND.

Este comportamiento se repite al comparar las frecuencias simuladas y teóricas. La Figura 5.10, muestra esta relación de frecuencias para valores  $K_{PRE} = 5$  y  $K_{PRE} = 9$  en ambas topologías. Para el valor menor de  $K_{PRE}$  (Figura 5.10(a)), Dominó muestra unas frecuencias simuladas mayores que las teóricas en un porcentaje que va del 30 al casi 80 % a medida que se incrementa la capacidad de carga. Comparando Dominó con DOE, se observa que esta relación es siempre mayor en todos los valores de  $C_{DIN}$  a excepción de  $C_{DIN} = 3$  fF.

La Figura 5.10(b) muestra cómo cambian las relaciones de frecuencia al incrementar el valor a  $K_{PRE} = 13$ . Ahora la frecuencia simulada a la que llega Dominó no supera a la de referencia por más del 20 %, mientras que las frecuencias reales de DOE superan a las de referencia incluso en más del 100 % para el valor más elevado de capacidad de nodo dinámico.

Puesto que a Dominó le favorecen los valores de  $K_{PRE}$  más bajos, mientras que a DOE le favorecen los valores de  $K_{PRE}$  más altos, se ha comparado a Dominó con  $K_{PRE} = 5$  con DOE con  $K_{PRE} = 13$ , como se muestra en la Figura 5.11. Se observan las ventajas de DOE (a excepción de  $C_{DIN} = 3$  fF) cuando el dimensionamiento se elige para optimizar la operación de cada topología.

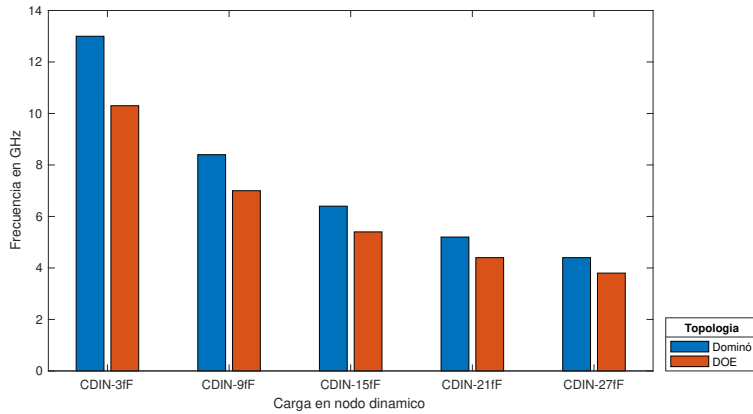
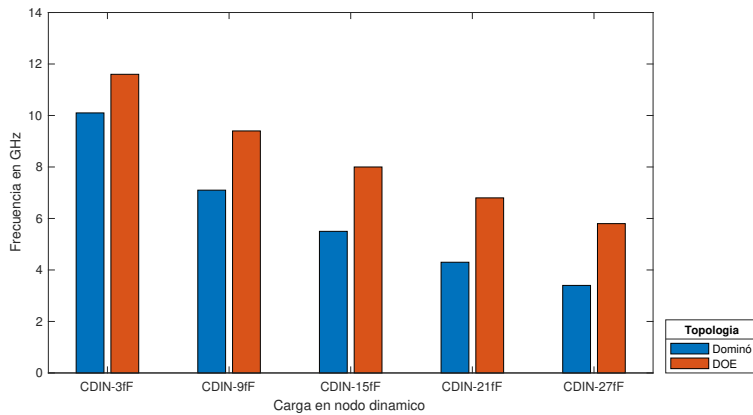
(a)  $K_{PRE} = 5$ .(b)  $K_{PRE} = 13$ .

Figura 5.9: Frecuencias simuladas de *nanopipelines* Dominó y DOE para dos valores extremos de  $K_{PRE}$ .

### 5.2.3. Análisis de robustez.

Se han realizado dos experimentos con el fin de analizar la robustez de los *nanopipelines*. El primero de ellos consiste en someterlos a un análisis de córners. Las primeras simulaciones se han realizado a las frecuencias de referencia calculadas para cada uno de los *nanopipeline* en el Apartado 5.3.1. Teniendo en cuenta que las frecuencias de referencia de DOE sólo han superado a las de Dominó en siete casos, las puertas DOE podrían tener en principio, más ventaja que las puertas Dominó para superar la prueba.

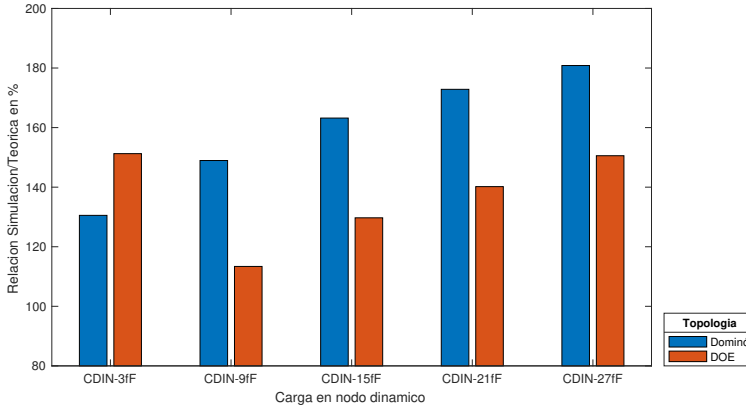
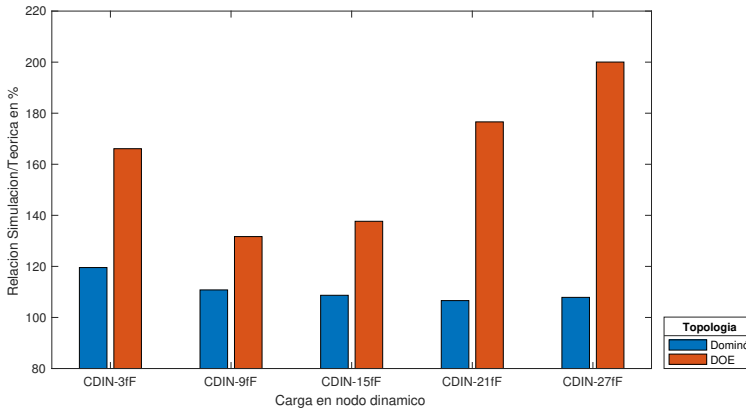
(a)  $K_{PRE} = 5$ .(b)  $K_{PRE} = 13$ .

Figura 5.10: Relación de frecuencias simuladas en *nanopipelines* para dos valores de  $K_{PRE}$ .

Por este motivo se ha decidido realizar nuevas simulaciones empleando únicamente las frecuencias de referencia de las puertas Dominó, poniendo en una situación más pareja a ambas topologías.

El número de *nanopipelines* de cada topología que funciona correctamente se muestra en la Figura 5.12. En la primera prueba, de los 25 casos analizados, sólo 6 *nanopipelines* Dominó operan correctamente, mientras que DOE alcanza los 19 casos exitosos. En otras palabras, DOE tiene casi un 150 % más de casos exitosos que Dominó. En la segunda prueba, en una situación más pareja, el número de casos exitosos de DOE disminuye a 15,



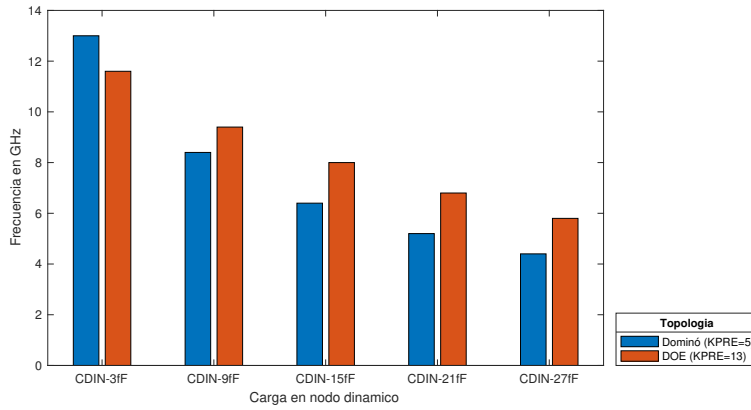


Figura 5.11: Comparación de frecuencias simuladas en Dominó y DOE con diferentes valores de  $K_{PRE}$ .

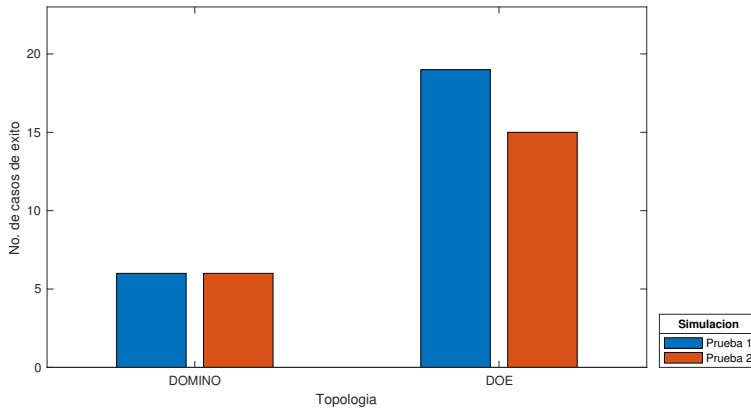


Figura 5.12: Análisis de córners.

pero aún muy por encima de los seis de Dominó.

#### 5.2.4. Evaluación de puertas con diferentes funcionalidades.

Con el fin de completar el análisis comparativo y solventar algunas de las limitaciones identificadas en el experimento anterior, se han diseñado y evaluado *nanopipelines* con puertas idénticas pero que, a diferencia del anterior experimento, implementan distintas funcionalidades, e incluyen también el inversor de realimentación y el transistor *keeper* [100]. Se utilizan

como parámetros de diseño los tamaños del transistor de precarga y el del transistor *keeper*. La segunda diferencia fundamental es que ahora las puertas se han dimensionado con el objetivo de que las velocidades de Dominó y DOE sean similares.

Los *nanopipelines* se han construido a partir de tres tipos de puertas (NAND/AND-2, NOR/OR-8 y NOR/OR-16). Únicamente la más compleja de las puertas DOE incorpora celda de retraso. Se han explorado cuatro dimensionamientos diferentes para el transistor *keeper* y el transistor de precarga, para así obtener diferentes comportamientos de nodo dinámico. Los transistores de los bloques PDN, el transistor *footer* y los inversores de realimentación y de salida se han dimensionado de forma idéntica en Dominó y DOE. El dimensionamiento de la puerta NAND empleada en la etapa estática de las puertas DOE se ha seleccionado de manera que los retrasos de puerta en DOE y Dominó sean comparables. Las puertas se han conectado de forma que los cambios de entrada se propaguen a través del circuito y cada puerta se excite con la combinación de entrada de caso peor.

La Tabla 5.5 muestra los retrasos medidos por simulación para cada una de las puertas, empleando las mismas condiciones de carga y combinaciones de entrada que se utilizan en los *nanopipelines*. A partir de las medidas de retraso se han evaluado sus frecuencias de operación teóricas.

Los transistores *keeper* y de precarga se han dimensionado con  $K_P$  y  $K_{PRE}$  veces el tamaño mínimo de la tecnología. Los valores más altos de  $K_P$  implican que el nodo dinámico se descarga más lentamente, mientras que los valores más altos de  $K_{PRE}$  incrementan su velocidad de precarga. Como era de esperar, los retrasos medidos en el nodo dinámico son muy similares, ya que las etapas dinámicas son idénticas.

El comportamiento de los retrasos medidos en el nodo dinámico cubre un rango amplio de valores, que van desde 32 ps hasta 104 ps en evaluación y desde 37 ps a 106 ps en la precarga. En cuanto al nodo de salida, se identifican ciertas diferencias que radican en varios factores. En DOE, por ejemplo, los retrasos no están directamente vinculados al tamaño de los transistores *keeper* y de precarga, sino que dependen del retraso en la NAND estática y el retraso del inversor de salida. A pesar de las diferencias, los retrasos de DOE y de Dominó son comparables, ya que era el objetivo de diseño, como ya se ha indicado. En la última columna de la tabla se incluye la frecuencia de operación estimada para cada *pipeline* DOE normalizadas respecto a Dominó (FN, DOE). En todos los casos se obtiene un valor próximo a la unidad.

Con el fin de evaluar la robustez de cada topología, se han realizado

Gate	$K_{PRE}$	$K_P$	$P$	Dominó		DOE		FN, DOE
				NOD (ps)	OUT (ps)	NOD (ps)	OUT (ps)	
NAND/AND 2	5	1	E	34.4	43.98	33.53	42.34	1.03
			P	37.7	47.82	36.24	53.81	
	3	1	E	32.08	42.57	31.28	43.15	0.98
			P	53.59	58.52	51.1	53.67	
	3	3	E	44.17	48.42	43.19	42.96	1.12
			P	55.99	60.53	54.2	53.85	
	5	3	E	46.66	50.01	45.71	42.39	1.09
			P	40.28	49.1	38.77	53.87	
NOR/OR 8	7	5	E	61.99	61.57	55.12	58.03	1.06
			P	57.84	33.84	53.11	51.43	
	7	3	E	49.19	55.17	45.69	54.98	1.00
			P	56.14	33.13	51.23	51.5	
	5	5	E	60.3	60.4	56.4	55.44	1.07
			P	73.27	41.89	67.26	51.6	
	5	3	E	73.09	54.02	66.99	55.68	0.97
			P	72.39	82.48	66.73	61.91	
NOR/OR 16	10	7	E	108.4	93.72	104.1	87.53	1.08
			P	64.59	64.91	61.19	92.68	
	10	5	E	87.52	80.99	83.59	87.39	1.00
			P	63.21	64	59.72	92.69	
	5	7	E	104.2	90.3	99.81	87.73	1.04
			P	106.4	97.1	101.2	92.56	
	7	5	E	85.12	79.27	81.2	87.49	1.08
			P	82.25	77.82	77.9	92.54	

Tabla 5.5: Retrasos medidos y frecuencia estimada normalizada para DOE.

distintos análisis. En primer lugar, se ha medido mediante simulación el valor mínimo de la tensión de alimentación ( $V_{DD}Min$ ) que permite la operación de los *nanopipelines* a su frecuencia teórica estimada. La Tabla 5.6 muestra este valor para cada uno de los circuitos analizados. Se observa que 10 de los 12 *nanopipelines* DOE pueden operar a una  $V_{DD}$  inferior a 1 V, mientras que en Dominó, sólo uno de los 12 *pipelines* opera con menos de 1 V a dicha frecuencia.

También se ha realizado un análisis de córners. La columna etiquetada Córner en la Tabla 5.6 resume los resultados. Se observa que todos los *pipelines* tipo DOE superan los córners, mientras que en Dominó sólo superan este análisis 3 de los 12 *nanopipelines*. Dos de ellos que corresponden a *nanopipelines* contruidos a partir de las puertas más simples (NAND/AND-2). Ninguno de los contruidos con puertas más complejas (NOR/OR-16) supera el test.

Estos resultados apoyan nuestra hipótesis de que los *nanopipelines* DOE son menos sensibles que Dominó a las variaciones de parámetros de los dispositivos o de condiciones de operación. Esta ventaja en términos de

Puerta	Dominó				DOE		
	$V_{DD}Min$ (V)	ET-VDD	Córner	ET-COR	$V_{DD}$ (V)	ET-VDD	ET-COR
NAND/AND-2	1	9	✓	-	0.9	2	✓
	1.1	8	✗	4	1.1	2	✓
	1	2	✓	-	1.1	2	✓
	1	4	✗	8	0.9	2	✓
NOR/OR-8	1	4	✗	4	0.9	2	✓
	1	5	✗	8	0.9	2	✓
	1	5	✗	5	0.9	2	✓
	0.9	3	✓	-	0.9	2	✓
NOR/OR-16	1.1	2	✗	3	0.8	2	✓
	1	3	✗	3	0.8	2	✓
	1	6	✗	6	0.8	2	✓
	1	2	✗	7	0.8	2	✓

Tabla 5.6: Análisis de robustez.

robustez está relacionada con el uso de lógica inversora, ya que este tipo de puertas no acumulan los efectos de estas variaciones a lo largo de la cadena. Sin embargo, se requiere un análisis adicional para demostrar que las mejoras no se deben a la puerta en sí, sino a las ventajas de su interconexión.

Una de las simulaciones llevadas a cabo en este experimento consiste en emplear una tensión de alimentación 100 mV por debajo del mínimo  $V_{DD}$  medido e identificar la primera etapa donde se produce el fallo (ET-VDD). Igualmente, se identifica la etapa donde se produce el fallo en los *pipeline* Dominó que no superan el análisis de córner (ET-COR). Los fallos en Dominó, ocurren en diferentes etapas, mientras que en DOE ocurren siempre en la segunda etapa. Esto confirma que los fallos se deben en la mayoría de los casos al efecto acumulativo exhibido por la lógica Dominó. Por su parte, en DOE, los fallos ocurren debido a la degradación de los retrasos en la puerta. Variaciones de parámetros o de  $V_{DD}$  que no degraden los retrasos de puerta lo suficiente para producir el fallo en DOE, no son tolerados por los *superpipelines* Dominó tras varias etapas debido a la acumulación de sus efectos.

### 5.3. Evaluación de *nanopipelines* con dos fases de reloj.

En el Capítulo 3 se analizó la problemática de los *nanopipeline* cuando el número de fases de reloj se reduce a dos y se ilustraron algunas diferencias entre los *nanopipelines* Dominó y DOE. En particular se mostró

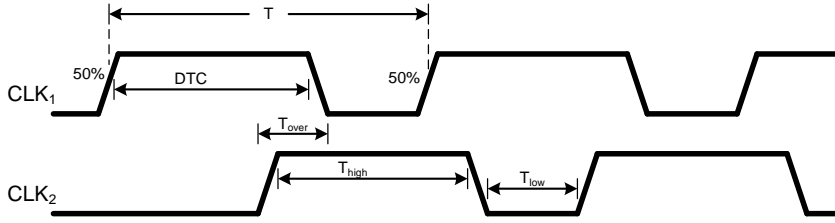


Figura 5.13: Esquema de reloj de dos fases.

que los *nanopipelines* DOE no presentan los fallos de deslizamiento que experimentan los *nanopipelines* Dominó. En este apartado se profundiza en la operación *nanopipeline* en dos fases de reloj.

Se han configurado los *nanopipelines* propuestos en el experimento del Apartado 5.2 con una señal de reloj de dos fases, variando el solape entre ambas y se ha hecho un análisis similar al realizado para el esquema de tres fases.

### 5.3.1. Análisis de frecuencias de operación teóricas.

En primer lugar, se ha calculado la frecuencia teórica, formulando y evaluando un conjunto de restricciones temporales que deben satisfacerse para garantizar el funcionamiento de los *nanopipelines*. A diferencia del caso de tres fases,  $T_{over}$  ahora no es fijo, sino que depende del *duty cycle* (DTC) de las señales de reloj. La Figura 5.13 muestra un esquema de tiempos.

**Restricción 1:** La mitad del período debe ser mayor que el retraso de evaluación del nodo de salida. De esta manera se asegura que la entrada de la siguiente etapa está disponible cuando comience su evaluación.

$$T/2 > OUT_E \quad (5.7)$$

**Restricción 2:** La mitad del período debe ser mayor que el retraso de evaluación del nodo dinámico, garantizando que el nodo dinámico se descargue lo suficiente antes de la evaluación de la siguiente etapa.

$$T/2 > NOD_E \quad (5.8)$$

**Restricción 3:** La mitad del período menos el tiempo de solape, debe ser mayor que el retraso de precarga del nodo de salida, asegurando que el nodo de salida se precarga completamente a un valor bajo.

$$T/2 - T_{over} > OUT_P \quad (5.9)$$

$$T - DTC > OUT_P \quad (5.10)$$

donde DTC se expresa como una fracción del período.

**Restricción 4:** La mitad del período menos el tiempo de solape, debe ser mayor que el retraso de precarga del nodo de dinámico. De esta manera, el nodo dinámico esté completamente cargado al final de la fase de precarga.

$$T/2 - T_{over} > NOD_P \quad (5.11)$$

$$T - DTC > NOD_P \quad (5.12)$$

**Restricción 5:** El retraso de precarga del nodo de salida más el tiempo de solape debe ser mayor que el retraso de evaluación en el nodo dinámico, para evitar que la evaluación se detenga como consecuencia de la precarga de la etapa anterior.

$$OUT_{90P} + T_{over} > NOD_E \quad (5.13)$$

$$OUT_{90P} + (DTC - T/2) > NOD_E \quad (5.14)$$

Obsérvese que con un *duty cycle* del 50% ( $DTC = T/2$ ), 5.14 no depende de  $T$ . Por lo tanto, no se deriva en este caso una frecuencia de operación máxima, sino que la diferencia entre el retraso de evaluación del nodo dinámico y el retraso de precarga del nodo de salida indica si el circuito puede funcionar o no. En caso de que la diferencia tenga un resultado de signo negativo se cumple con esta restricción independientemente de la frecuencia y, en caso contrario, indica que el *nanopipeline* no es operativo a ninguna frecuencia.

**Restricción 6:** El retraso de evaluación a la salida debe ser mayor que el tiempo de solape entre las dos fases de reloj.

$$OUT_E > T_{over} \quad (5.15)$$

$$OUT_E > (DTC - T/2) \quad (5.16)$$

Esta restricción se emplea únicamente para los circuitos Dominó y calcula una frecuencia mínima, por encima de la cual no se presenten fallos de deslizamiento. Esta frecuencia mínima debe ser menor a todas las demás frecuencias de referencia para asegurar que haya un rango válido de frecuencias.

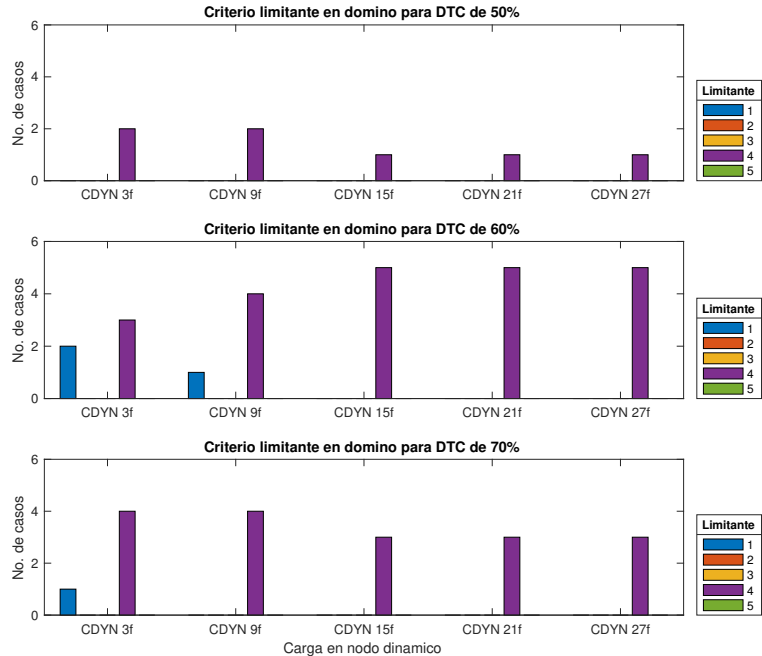
**Influencia de las restricciones en los *nanopipeline*.** Se han evaluado frecuencias teóricas para tres valores de *duty cycle*: 50 % ( $DTC = T/2$ ), 60 % ( $DTC = 6T/10$ ) y 70 % ( $DTC = 7T/10$ ). Las Figuras 5.14(a) y 5.14(b) muestran la información sobre cuál es el criterio limitante para cada uno de los valores de DTC explorados en Dominó y DOE respectivamente.

Recordemos que, para un *duty cycle* de 50 %, la restricción 5 determina si el circuito puede funcionar correctamente. Con la ausencia de solape entre las dos fases de reloj, si la precarga en la salida de la puerta es menor que el retraso de evaluación del nodo dinámico, se detendrá la evaluación en la segunda etapa, pudiendo provocar un fallo en el *nanopipeline*. En caso contrario, si el retraso de salida en precarga es mayor que el retraso del nodo dinámico de evaluación, se garantiza la funcionalidad del circuito. De los 25 circuitos analizados para cada una de las topologías, cumplen con esta restricción 7 circuitos Dominó y 4 DOE.

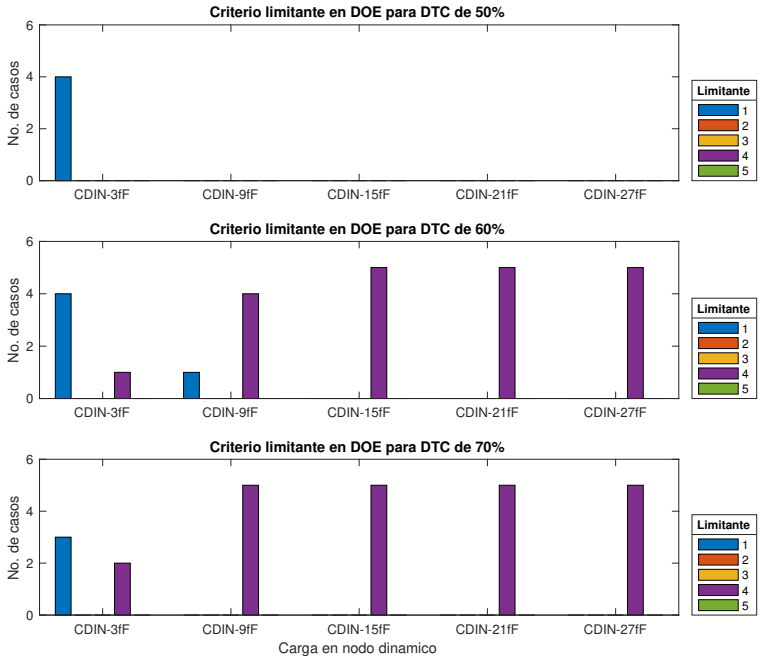
En los circuitos Dominó, con un  $K_{PRE} = 5$  se satisface la restricción para todos los valores de  $C_{DIN}$ , mientras que para un  $K_{PRE} = 7$  solo funcionan los dos valores de  $C_{DIN}$  más bajos. Para los restantes valores de  $K_{PRE}$  siempre se incumple dicha restricción. El criterio limitante en todos los circuitos es el 4 por tratarse de valores bajos de  $K_{PRE}$ . En DOE, los cuatro circuitos operan únicamente para un  $C_{DIN}$  de 3 fF y cuatro valores de  $K_{PRE}$ . En este caso, el criterio limitante es el 1 debido a la velocidad en la salida de la puerta.

Al aumentar el *duty cycle* para que haya solape entre las dos fases de reloj, se incrementa el número de circuitos válidos y la restricción 5 aporta una quinta frecuencia máxima de referencia. Nuevamente, la frecuencia de menor valor es la que garantiza un correcto funcionamiento del *pipeline*. En el caso de los *pipeline* Dominó, además, la restricción 6 establece una frecuencia mínima de funcionamiento para evitar fallos de deslizamiento, obteniéndose un rango de frecuencias de operación teóricas. Podría ocurrir que el *nanopipeline* no funcionase si la frecuencia mínima está por encima de la máxima.

Para un *duty cycle* de 60 %, todos los circuitos Dominó tienen un rango de frecuencia de operación válido. Sin embargo, para un *duty cycle* de 70 %, los circuitos DOE no funcionan.



(a) Dominó.



(b) DOE.

Figura 5.14: Análisis de criterio limitante en *nanopipelines* de dos fases.



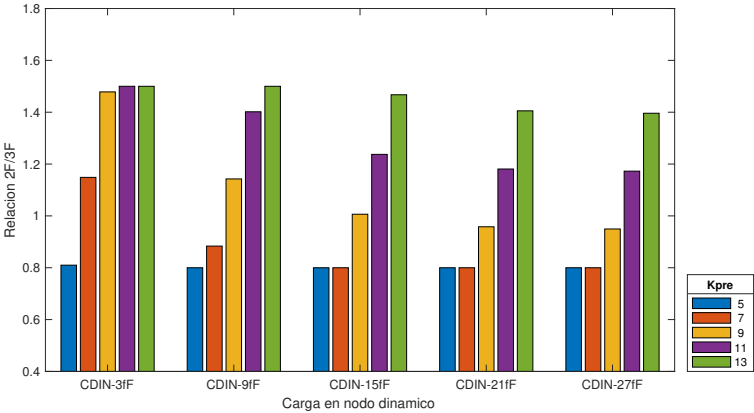
las frecuencias mínimas de 7 circuitos Dominó han superado a la frecuencia máxima y, por tanto, se han descartado. En 60 %, el criterio 4 limita en 22 de los 25 circuitos. Sólo en tres casos para las capacidades más bajas (3 fF y 9 fF) limita el criterio 1. En 70 % ocurre una situación similar. El criterio 4 limita a 17 de los 18 circuitos y sólo en un caso limita el criterio 1 (para un valor de  $C_{DIN} = 3$  fF). La mayoría de casos para el criterio 4 se debe a las dificultades de precarga del nodo dinámico que experimentan los *pipeline* Dominó.

En el caso de los circuitos DOE, se obtienen resultados similares a los de los circuitos Dominó, como se muestra en la Figura 5.14(b). Con un DTC de 50 % el criterio 1 limita la operación de los *pipeline* en los 4 circuitos válidos. En 60 %, el criterio 4 limita en 20 de los 25 circuitos, sólo en las capacidades más bajas (3 fF y 9 fF) limita el criterio 1 en cuatro casos. Finalmente, con un DTC de 70 % el criterio 4 limita a 22 de los 25 circuitos y sólo en tres casos limita el criterio 1 para un valor de  $C_{DIN}$  de 3 fF. En resumen, salvo a lo que respecta al análisis teórico, puede que algunos *nanopipelines* Dominó no puedan operar con un DTC del 70 %, los resultados de Dominó y en DOE son ahora más similares.

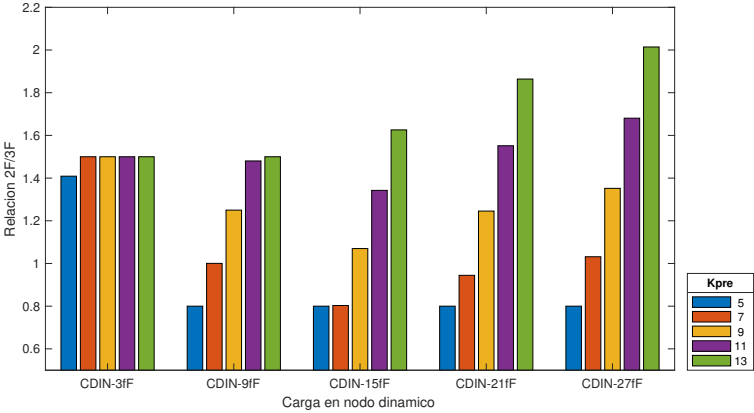
**Análisis de frecuencias teóricas.** En el Apartado 3.3 se mencionaron algunas de las ventajas que tienen los *nanopipeline* cuando se reduce el número de fases a dos. Una de ellas es que en un esquema de dos fases, solo hay dos puertas por etapa de *pipeline* y, por tanto, solo dos puertas tienen que evaluar en un período de reloj, frente a los tres (N) que tienen que hacerlo en un esquema de tres (N) fases. En consecuencia, se esperan ventajas en términos de velocidad. Por ello es interesante comparar las frecuencias teóricas de dos fases con las de tres fases.

En la Figura 5.15(a) se muestra la relación entre frecuencias de dos fases y tres fases con un DTC de 60 % para un *pipeline* con puertas Dominó. En 14 de los 25 casos, las frecuencias teóricas de dos fases superan a las de tres fases. Estos casos se dan para los valores de  $K_{PRE}$  más altos (9, 11 y 13). A medida que aumenta el tamaño del transistor de precarga se obtienen mayores velocidades en todos los valores de  $C_{DIN}$ . Esto es concordante con el hecho de que la mayoría de los casos es el criterio 4 (asociado a la precarga del nodo dinámico) el que limita generalmente en dos fases su frecuencia de operación. En tres fases, por contra, domina el criterio 1 hasta un valor de  $C_{DIN} = 15$  fF, y es el criterio 2 el que limita frecuentemente para los valores más altos de  $C_{DIN}$ .

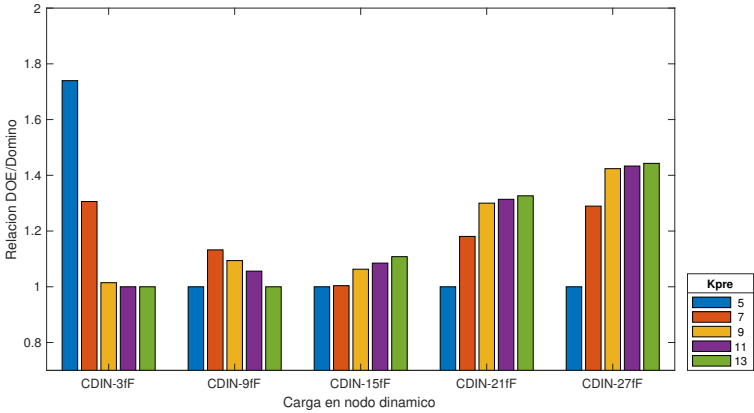
Para los *pipelines* de puertas DOE ocurre un hecho similar, como se



(a) Dominó.



(b) DOE.



(c) Comparación entre Dominó y DOE.

Figura 5.15: Comparación de frecuencias teóricas con 2 y 3 fases.

muestra en la Figura 5.15(b). En este caso, son 15 de 25 el número de circuitos en dos fases que superan a los de tres fases. Nuevamente, a medida que aumenta el tamaño del transistor de precarga se incrementan las ventajas en términos de velocidad.

Estos resultados también indican que el dimensionamiento de las puertas debe hacerse teniendo en cuenta el esquema de reloj que va a utilizarse. Comparando esta mejora entre topologías Dominó y DOE (Figura 5.15(c)), vemos como DOE no sólo iguala a Dominó en 7 casos, sino que lo supera en los 18 casos restantes. Esta mejora se hace más evidente para los valores más altos de  $C_{DIN}$ .

#### 5.4. Operación del *pipeline* con puertas DOE sin transistor *footer*.

Eliminar el transistor *footer* de las puertas dinámicas permite aumentar la velocidad en la red de descarga del nodo dinámico y reducir la carga en el reloj. La eliminación del transistor *footer* no afecta la operación de la puerta durante la fase de evaluación. Sin embargo, como se indicó en el Capítulo 1, sí tiene efecto sobre la fase de precarga, ya que ésta se serializa de alguna forma y se puede producir un incremento de potencia debido a corrientes de corto. Para evitar esto último, es preciso que la red PDN esté desactivada antes de que la fase de precarga comience.

Esto se puede conseguir retrasando el flanco de bajada del reloj hasta que las puertas precedentes hayan precargado. Se trata de una solución similar a la de las arquitecturas que retrasan el reloj para permitir encadenar puertas dinámicas inversoras, como *CD-Domino* y OPL ya discutidas. Estas últimas retrasan el flanco de subida del reloj hasta el establecimiento de todas las entradas de la puerta. No obstante, es bien sabido que aunque se retrasen los relojes no se pueden tener puertas con funcionalidad inversora y sin transistor *footer* al mismo tiempo. De nuevo podría pensarse que, en el caso de arquitecturas *nanopipelines*, en las que puertas sucesivas reciben fases de reloj diferentes, se está cumpliendo con la condición necesaria de retraso del flanco descendente y se podría eliminar el transistor *footer*. Sin embargo, tampoco funcionaría con Dominó, ya que la evaluación se vería afectada, como se muestra en la Figura 5.16. Se observa que el nodo dinámico de la segunda etapa comienza a descargarse antes de que se active su reloj. La salida de la puerta responde a esta bajada del nodo dinámico. De la misma forma se propaga a las siguientes etapas.

En el caso de las puertas DOE, al tener una etapa de salida diferente

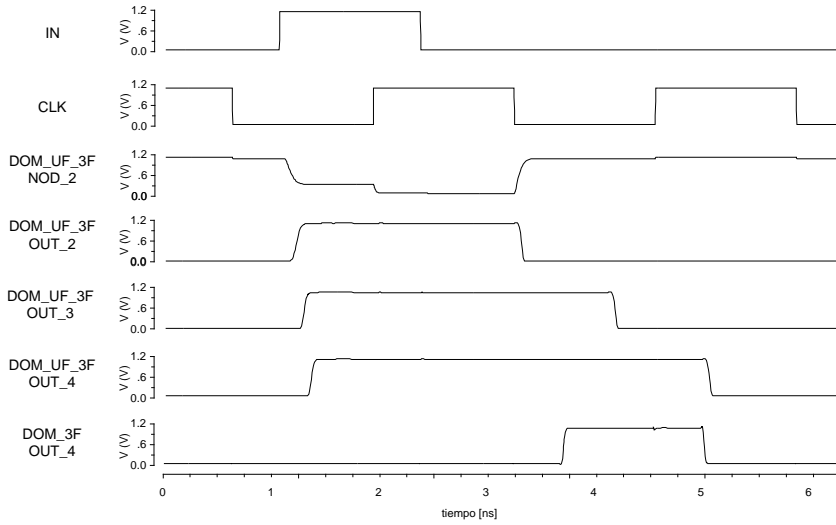


Figura 5.16: Formas de onda de dos *nanopipelines*, uno con puertas Dominó y otro con puertas Dominó sin transistor *footer*.

a las puertas Dominó, se puede eliminar el transistor *footer* y, aunque la etapa dinámica comience a evaluar cuando sus entradas estén disponibles, la evaluación de la etapa de salida está bloqueada por el reloj. Esto ha motivado la exploración de la topología DOE sin transistor *footer*, que de ahora en adelante se denominará DOEUF (*DOE unfooted*).

Al eliminar el transistor *footer* de las puertas DOE, beneficia la operación del circuito ya que el nodo dinámico no tiene que esperar al flanco de subida de la señal de reloj, sino que éste comienza a descargarse según la entrada a la puerta. En la Figura 5.17 se observa como el nodo dinámico de DOEUF puede descargarse completamente mientras que el de DOE apenas alcanza a bajar a unos 750 mV, por tanto, esta diferencia le permite a DOEUF realizar una correcta operación en toda la cadena.

#### 5.4.1. Evaluación de DOEUF en circuitos a 2 fases.

El análisis teórico de la operación de los *nanopipelines* con dos fases de reloj y un *duty cycle* del 50 %, mostró que solo un reducido número de los circuitos eran operativos (Apartado 5.3.1). Ahora nos proponemos completar dicho análisis, verificando por simulación si pueden operar correctamente, incluyendo en este estudio a la topología DOEUF, puesto que es precisamente

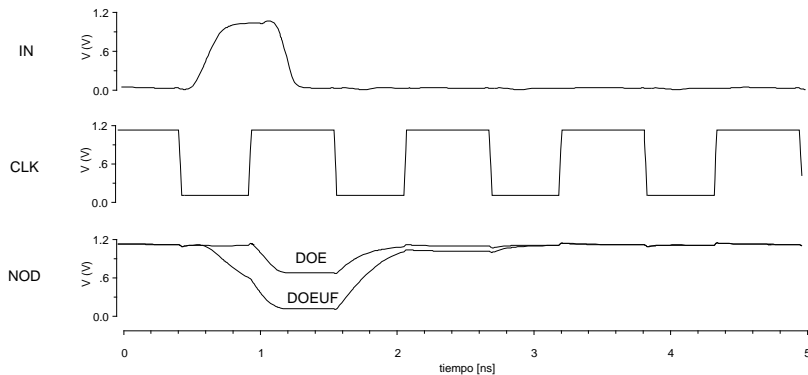


Figura 5.17: Nodos dinámicos de la etapa 5 de DOE y DOE UF.

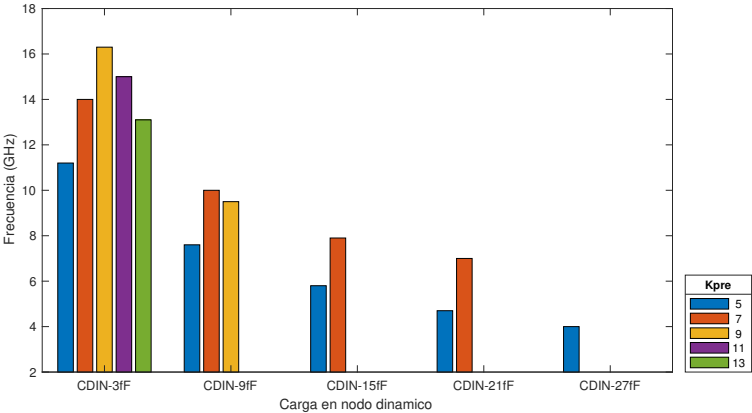
en este tipo de configuración en la que puede ser más ventajoso.

En la Figura 5.18 se muestran los resultados obtenidos para Dominó, DOE y DOEUF. Se representa la frecuencia de operación medida por simulación, utilizando señales de reloj con un valor de “1” lógico ideal durante el 50 % del período (Configuración 1). En primer lugar se observa que numerosos *nanopipelines* no operativos, de acuerdo con el análisis teórico, operan correctamente.

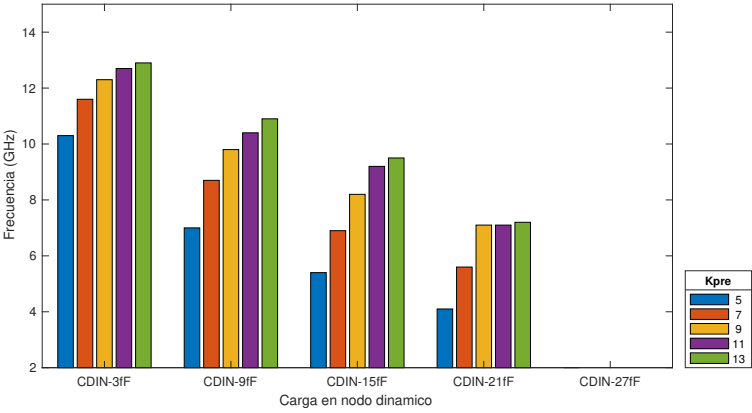
En concreto, en el caso de Dominó (Figura 5.18(a)), 13 son operativos en lugar de los 7 teóricos. En el caso de DOE (Figura 5.18(b)), 20 son operativos frente a los 4 predichos en el análisis teórico. Si comparamos las frecuencias máximas obtenidas para cada valor de  $C_{DIN}$ , DOE supera a Dominó excepto para  $C_{DIN} = 3$  fF. Finalmente, todos los *nanopipelines* DOEUF son operativos, como se puede ver en la Figura 5.18(c). La ausencia del transistor *footer* permite una descarga completa y más rápida del nodo dinámico, tolerando incluso, un valor de carga de  $C_{DIN} = 27$  fF.

También se han realizado simulaciones con señales de reloj que degradan muy ligeramente el ancho del pulso. Ahora las señales de reloj están por encima del 50 % del valor de tensión asociado al “1” lógico el 50 % del período. En la Figura 5.19 se muestran los resultados obtenidos.

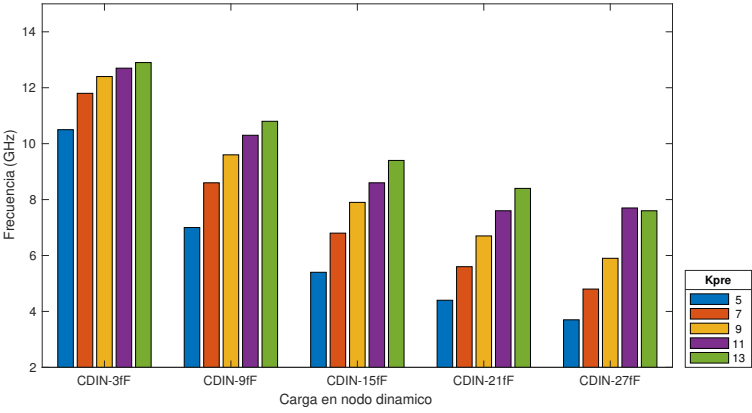
Los circuitos Dominó (Figura 5.19(a)) funcionan con la segunda configuración únicamente para un  $C_{DIN}$  de 3 fF, con valores de  $K_{PRE}$  de 5 y 7, mientras que con la primera configuración pueden funcionar para muchos más valores de  $K_{PRE}$  y con todas las capacidades de carga del experimento. Una situación parecida ocurre con DOE (Figura 5.19(b)) que sólo funciona para  $C_{DIN}$  de 3 fF y 9 fF en la Configuración 2, mientras que en la



(a) Dominó.

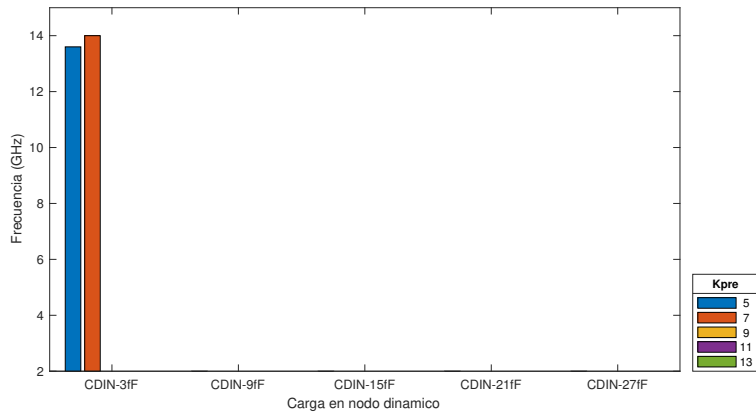


(b) DOE.

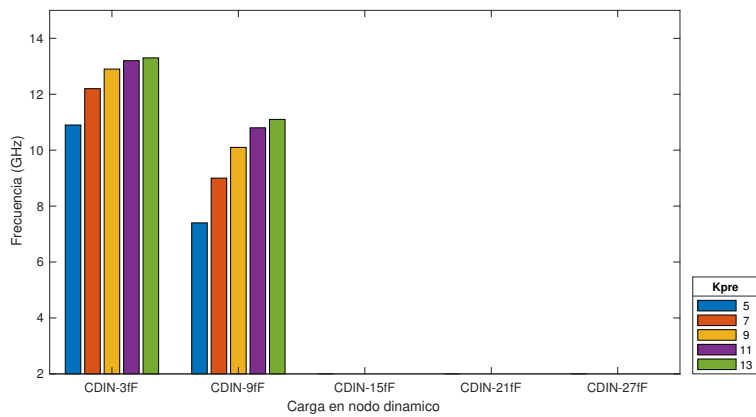


(c) DOEUF

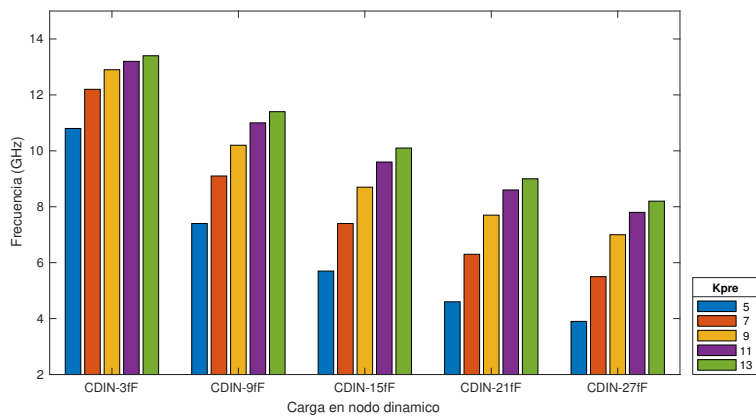
Figura 5.18: Frecuencias simuladas en Configuración 1 de reloj.



(a) Dominó.



(b) DOE.



(c) DOEUF.

Figura 5.19: Frecuencias simuladas en Configuración 2 de reloj.

Configuración 1 (Figura 5.18(b)) llega hasta los 21 fF.

A diferencia de Dominó y DOE, los 25 circuitos DOEUF funcionan para la Configuración 2, como se muestra en la Figura 5.19(c). La ausencia del transistor *footer* beneficia la operación del circuito, permitiendo su funcionamiento incluso en situaciones de caso peor. La ventaja de un nodo dinámico que no tiene que esperar al flanco de subida de la señal de reloj, es que permite anticipar su descarga según la entrada de la puerta.

Al igual que se observa en el análisis de tres fases, los fallos que se presentan en los *nanopipelines* Dominó se dan por la degradación acumulativa a lo largo de la cadena, mientras que en DOE y DOEUF se producen en la segunda etapa, cuando falla la puerta.

En el siguiente apartado se comparan Dominó, DOE y DOEUF en el contexto de *pipelines* más realistas en los que no todas las puertas son idénticas.

## 5.5. Recapitulación.

En los apartados anteriores se ha mostrado que las ventajas de DOE son más significativas para esquemas de reloj de dos fases. En este caso, debido a los fallos de deslizamiento, Dominó exhibe un límite superior al solape permitido entre fases. Esto tiene distintas implicaciones. Por una parte, complica el diseño cuando hay puertas con retrasos muy diferentes, puesto que podría ocurrir que el mínimo solape requerido por una puerta lenta (compleja o con *fan-out* elevado) esté por encima del máximo solape soportado por una puerta rápida (puerta simple, *fan-out* bajo). Esto es, puede requerir un diseño minucioso a nivel eléctrico de cada una de las puertas del circuito. Por otra parte, tiene consecuencias sobre la robustez de los circuitos. En particular en el caso de las no idealidades del reloj, es razonable suponer que el doble límite incrementará su vulnerabilidad.

Con el objetivo de validar estas afirmaciones, se han realizado distintos experimentos sobre un *nanopipeline* conformado por puertas de diferente complejidad, *fan-out* y/o carga asociada a las interconexiones [101]. Para ello, hemos simulado el *nanopipeline* que hemos venido utilizando en los análisis precedentes, fijando valores distintos para las capacidades CDIN y las capacidades a las salidas de cada puerta. En particular, los resultados que mostramos a continuación se han obtenido utilizando dos valores de CDIN y dos valores de capacidad de salida. Es decir dos tipos de puertas: una simple (S) y una compleja (C). La Figura 5.20 muestra cómo se han intercalado en la cadena. Se observa que se están considerando las distintas situaciones de



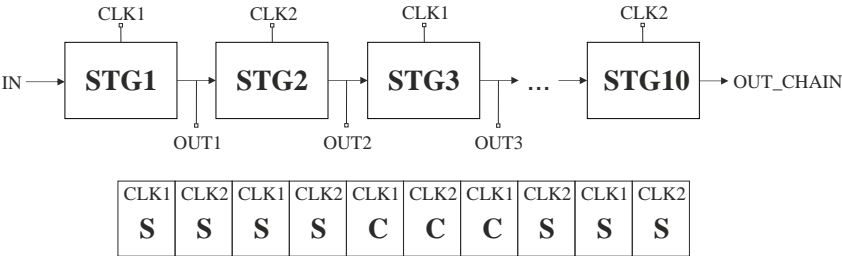


Figura 5.20: *Nanopipeline* de puertas simples y complejas.

interés: etapas simples consecutivas, etapas complejas consecutivas, etapa simple seguida de una compleja y etapa compleja seguida de una simple.

En primer lugar hemos evaluado el solape mínimo y máximo para cada uno de los *nanopipelines*. El solape viene determinado por el *duty cycle* de la señal de reloj. La Tabla 5.7 muestra el DTC mínimo y máximo con una señal de reloj de 4 GHz. Efectivamente, se observa que el rango valido es más reducido para Dominó que para cualquiera de las dos versiones DOE. En el caso de Dominó el límite superior se asocia a la ocurrencia de fallos de deslizamiento. En el caso de DOE, éste viene determinado por una reducción excesiva de la fase de precarga que no permite realizarla satisfactoriamente. Esta última es menos restrictiva. Además de esta diferencia cuantitativa, hay una diferencia cualitativa importante asociada al distinto origen del límite superior para el DTC o solape máximo permitido entre fases que explicaremos una vez descrito el siguiente experimento.

	Mín. DTC % Periodo	Máx. DTC % Periodo	Skew	
			Tiempo (ps)	% Periodo
Domino	53	61	28	11.2
DOE	52	76	56	22
DOEUF	34	76	100	40

Tabla 5.7: Caracterización de rangos válidos de DTC y *skew* para 4GHz.

En segundo lugar, hemos realizado simulaciones en las que se introduce un *skew* entre las dos fases de reloj y se evalúa el máximo permitido. El DTC que se usa para cada topología se elige para maximizar la tolerancia al *skew*. La Tabla 5.7 muestra los resultados obtenidos. Para cada topología se indica el valor máximo del *skew* expresado en unidades de tiempo y en porcentaje del periodo de la señal de reloj. Decimos que un circuito tolera un determinado *skew* si opera correctamente con una fase de reloj

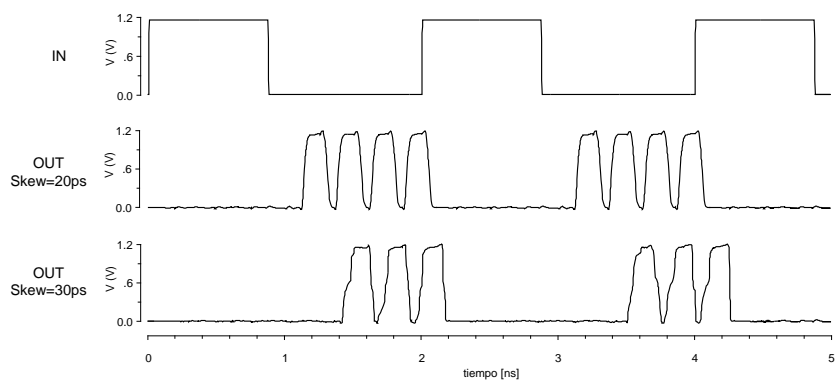
CLK2 tanto retrasada como adelantada en esa cantidad respecto al nominal. Los resultados muestran que, como esperábamos, las topologías DOE son más robustas respecto a no idealidades del reloj que la topología Dominó. Obsérvese que los valores de DTC máximo en el caso de las topologías DOE están por encima del máximo permitido para la topología Dominó.

Podría pensarse que estas diferencias se deben a que la frecuencia a la que se han realizado las medidas es más favorable a las arquitecturas DOE. Esto es, si la frecuencia máxima del circuito Dominó está por debajo de la de los circuitos DOE, esperaríamos que el primero tuviese menor capacidad para manejar el *skew*. Sin embargo, esto no es cierto debido a la diferencia cualitativa mencionada anteriormente. En general, una manera de incrementar el *skew* de las señales de reloj soportado es reducir la frecuencia de operación. Sin embargo, en el caso del *nanopipeline* Dominó que estamos analizando, disminuir la frecuencia no es una solución válida, como veremos.

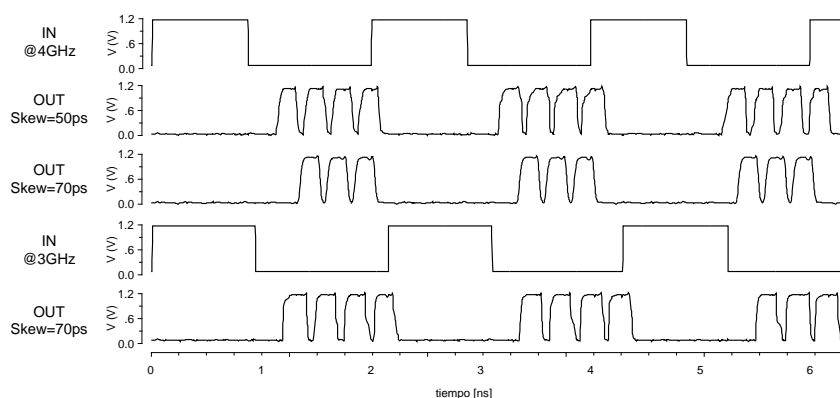
La Figura 5.21 muestra simulaciones a 4 GHz y a 3 GHz para los *nanopipeline* Dominó, DOE y DOEUF. En los tres casos se muestran sendas simulaciones a la frecuencia superior con un valor de *skew* tolerado y otro no tolerado. La secuencia de entrada elegida alterna grupos de ceros y de unos consecutivos. En el caso de Dominó, el segundo valor de *skew* (30 ps) es sólo ligeramente superior al *skew* máximo tolerado (28 ps), mientras que hay una diferencia mayor en el caso de DOE y DOEUF. En el caso de DOE (DOEUF) si se toleran los 70 ps (120 ps) de *skew* a 3 GHz como se observa en las simulaciones a esta frecuencia mostradas. No hemos encontrado ninguna frecuencia a la que Dominó tolere el *skew* mostrado. La solución en el caso de Dominó requeriría un diseño detallado de cada una de las puertas para, por ejemplo, enlentecer tanto la evaluación como la precarga de las puertas simples.

Comparando DOE y DOEUF se observa que ésta última es aún más robusta. Las diferencias ahora se deben al mínimo solape permitido. Este es menor en el caso de DOEUF. Sin embargo, estas ventajas tienden a reducirse cuando nos acercamos a la frecuencia máxima de funcionamiento puesto que en este caso, no se saca tanto partido de la descarga anticipada del nodo dinámico.

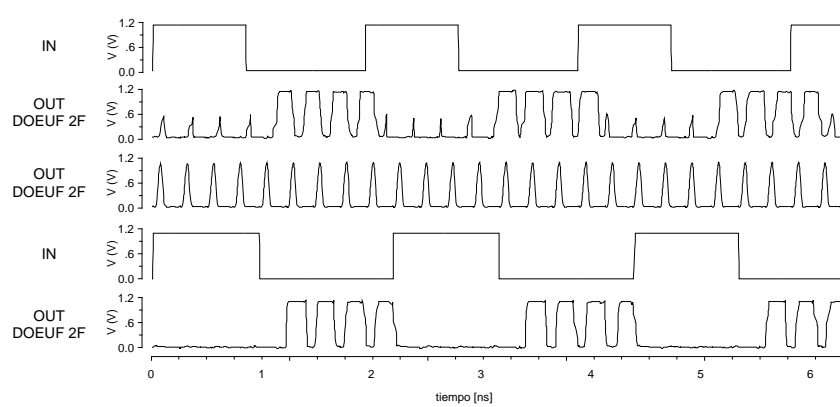
Las Tablas 5.8 y 5.9 muestran el valor de *skew* tolerado a 4 GHz y a 3 GHz utilizando modelos típicos para los transistores y córners respectivamente. El DTC es ahora el valor medio del DTC mínimo y máximo de cada topología y frecuencia. Se observa una reducción mayor del *skew* tolerado al aplicar córners en Dominó. De hecho, a 4 GHz ni siquiera opera correctamente con relojes ideales. La tolerancia se degrada sólo ligeramente en el caso de los



(a) Dominó.



(b) DOE.



(c) DOEUF.

Figura 5.21: Resultados de simulación con relojes no ideales.

circuitos DOE.

	DTC @ 4 GHz (% T)	Skew (ps)	DTC @ 3 GHz (% T)	Skew (ps)
Domino	57	15	59	25
DOE	64	28	69	57
DOEUF	55	53	62	80

Tabla 5.8: *skew* nominal.

	DTC @ 4 GHz (% T)	Skew (ps)	DTC @ 3 GHz (% T)	Skew (ps)
Domino	57	-	59	14
DOE	64	26	69	55
DOEUF	55	46	62	74

Tabla 5.9: *skew* con córners.

## 5.6. Conclusiones.

Se ha realizado un análisis minucioso de la operación de arquitecturas *nanopipeline* implementadas con puertas Dómino (no inversoras) y con puertas DOE (inversoras). Este análisis muestra que la topología DOE presenta ventajas respecto a Dominó debido a su carácter inversor. El análisis teórico desarrollado ha permitido profundizar en la operación de cada una de las topologías y comprender cuáles son las restricciones más severas en cada caso, aportando información sobre los criterios de dimensionamiento más adecuados. Aun cuando las frecuencias estimadas a partir de este análisis para DOE sean inferiores o similares a las de Dominó, los resultados de simulación son favorables a las primeras. También se ha demostrado la superioridad de DOE incluyendo en las simulaciones variaciones de parámetros de dispositivos y de operación. En este escenario, en muchos casos, la frecuencia de Dominó está por debajo de la estimada con los valores nominales de los retrasos de puertas, mientras que no ocurre esta degradación en DOE. El carácter inversor de DOE elimina el efecto acumulativo en la degradación del comportamiento de las puertas que se produce en Dominó.

Las ventajas de DOE son más significativas para esquemas de reloj de dos fases. En este caso, debido a los fallos de deslizamiento, Dominó exhibe un límite superior al solape permitido entre fases restrictivo y prácticamente independiente de la frecuencia. Se han descrito distintos experimentos cuyos resultados muestran que esto se traduce en una menor tolerancia que DOE a las no idealidades de las señales de reloj. También en el contexto de

esquemas de reloj de dos fases se ha explorado una modificación de DOE, consistente en la eliminación del transistor *footer*, lo que no es posible en el caso de Dominó, y se ha demostrado que mejora la robustez de DOE al relajar las restricciones de solape mínimo entre fases.

Somos conscientes de las limitaciones de nuestro estudio. Una de las principales, en nuestra opinión, es que se ha realizado sobre esquemáticos. Sería necesario, al menos, un análisis a nivel de extraídos que considere los parásitos asociados a las interconexiones. En aquellos casos en los que el comportamiento de las puertas este dominado por estas, los retrasos exhibidos por Dominó y DOE en el nodo de salida se igualarán y además serán los que limiten la operación del *nanopipeline*. La restricción 5, que depende del retraso de evaluación del nodo dinámico, es previsible que se relaje, así como la 6, que se traduce en una frecuencia mínima para Dominó. Sin embargo, las conclusiones fundamentales extraídas de nuestro análisis sobre la potencialidad de DOE para operación *nanopipeline* deberían seguir siendo válidas. Una mínima degradación en la salida de una puerta, independientemente de que esta provenga de una descarga lenta del nodo dinámico o del retraso de la etapa de salida, impactará a la siguiente o siguientes puertas Dominó, que producirán una salida cada vez más degradada en niveles sucesivos, hasta que no sea correctamente interpretada.

También lo relativo a la mayor complejidad de diseño y menor inmunidad a las no idealidades de los relojes de Dominó en las arquitecturas de dos fases sigue siendo válido. Independientemente de que las diferencias de retrasos entre distintas puertas de un circuito provengan de su complejidad o de sus condiciones de carga (por ejemplo ataquen interconexiones más o menos largas), deberán ser controladas y reducidas en Dominó para que operen correctamente.



# Conclusiones.

En este Trabajo se ha realizado una aportación al diseño de arquitecturas de *pipeline* ultra-fino sin elementos de memoria con aplicación en circuitos de altas prestaciones. En concreto:

1. Se ha propuesto una nueva topología de puerta dinámica, denominada DOE, que modifica la etapa de salida de la puerta Dominó convencional añadiendo una puerta NAND entre el nodo dinámico y el inversor de salida. Con esta variación se consigue reducir el impacto de la corriente de contención del transistor *keeper*, que limita la implementación de lógica dinámica en tecnologías escaladas, en el retraso de la puerta. DOE no es sólo una alternativa más eficiente a Dominó, entre otras propuestas, sino también un complemento a las mismas. Además, permite implementar puertas con funcionalidad inversora, lo que redundará en una mayor flexibilidad para el diseño lógico y en ventajas en la realización de arquitecturas *pipeline*.
2. Los experimentos desarrollados en este Trabajo empleando transistores MOSFET y FinFET en nodos profundamente sub-micrométricos han puesto de manifiesto las ventajas de la topología DOE, en términos de compromisos entre la velocidad y tolerancia al ruido, con respecto a Dominó y a la topología de *keeper* condicional. A diferencia de Dominó, DOE se beneficia del escalado en los nodos tecnológicos explorados en términos de velocidad. Para una misma tolerancia al ruido razonable, el retraso de una NOR con un fan-in alto Dominó es un 77 % en 32 nm y un 95 % en 16 nm superior al de DOE.
3. Se han evaluado *superpipelines* Dominó con distinta profundidad lógica, completando de esta forma trabajos previos que estudian el número de fases bajo restricciones de *throughput* fijo. El análisis se ha llevado a cabo tanto en tecnologías comerciales como usando modelos predictivos de nodos profundamente sub-micrométricos. Los resultados

obtenidos muestran que, al no utilizar elementos de memoria, estas arquitecturas se benefician de aplicar un *pipeline* muy fino. Se ha mostrado como la reducción del número de niveles de puertas por etapa de *pipeline*, además de incrementar la frecuencia de operación, puede aplicarse para reducir el consumo de potencia, incrementar la inmunidad al ruido y la robustez, así como para obtener compromisos muy satisfactorios entre estos criterios de diseño. La comparación de sumadores *Kogge Stone* en una tecnología profundamente sub-micrométrica, usando tres puertas por fase de reloj y una puerta por fase (*nanopipeline*), muestra cómo ésta última puede operar un 50 % más rápido con similar energía por operación, incrementar la fortaleza del transistor *keeper* un 60 % sin degradar la velocidad, ni la energía, o reducir el consumo un 25 % sin degradar velocidad ni tolerancia al ruido, entre otros compromisos de diseño.

4. Se ha diseñado un circuito integrado en una tecnología comercial con el objetivo de validar experimentalmente el funcionamiento de las puertas DOE y su operación *nanopipeline* con esquemas de dos y tres fases de reloj. A partir de este demostrador se han verificado los siguientes circuitos en el laboratorio:

- Puertas DOE de distinto *fan-in*.
- *Nanopipelines* simples consistentes en la interconexión de puertas DOE de distinto número de entradas y esquemas de reloj.
- *Nanopipelines* complejos, como el bloque de generación de acarreo de un sumador *Kogge-Stone* de 8 bits.

A diferencia del sumador CLA, las medidas realizadas muestran una operación correcta de los circuitos fabricados a las frecuencias más altas a las que era posible el test. Esta frecuencia está ligeramente por debajo del gigahercio para dos fases de reloj y por encima de 1.3 GHz para el de tres fases.

5. Se ha analizado en profundidad la operación de arquitecturas *nanopipelines* Dominó y DOE. Este análisis, incluso con sus limitaciones que han sido discutidas, muestra que la topología DOE presenta ventajas respecto a Dominó debido a su carácter inversor. En concreto éstas se pueden resumir en:

- Los *nanopipelines* DOE son más robustos frente a variaciones de parámetros de dispositivos y de operación. Ello se debe a que



el carácter inversor de DOE elimina el efecto acumulativo en la degradación del comportamiento de las puertas que se produce en Dominó.

- Los *nanopipelines* DOE no presentan los fallos de deslizamiento que se producen en sus equivalentes Domino. Esto se traduce en una simplificación considerable del esfuerzo de diseño de estas arquitecturas para operación con dos fases de reloj. Nuestros resultados muestran que se incrementa significativamente la robustez frente a no idealidades de las señales de reloj.
- A diferencia de Dominó, es posible eliminar el transistor *footer* de las puertas DOE utilizadas en los *nanopipelines*. Esto se traduce en un mecanismo adicional de *time borrowing* que redundan en una mayor robustez y potencialmente en una mayor frecuencia de operación.



# Bibliografía

- [1] Y. Ji-Ren, I. Karlsson, and C. Svensson. A true single-phase-clock dynamic CMOS circuit technique. *IEEE Journal of Solid-State Circuits*, 22(5):899–901, Oct 1987.
- [2] W. J. Bowhill, R. L. Allmon, S. L. Bell, E. M. Cooper, D. R. Donchin, J. H. Edmondson, T. C. Fischer, P. E. Gronowski, A. K. Jain, P. L. Kroesen, B. J. Loughlin, R. P. Preston, P. I. Rubinfeld, M. J. Smith, S. C. Thierauf, and G. M. Wolrich. A 300 MHz 64 b quad-issue CMOS RISC microprocessor. In *Solid-State Circuits Conference, 1995. Digest of Technical Papers. 41st ISSCC, 1995 IEEE International*, pages 182–183, Feb 1995.
- [3] F. Klass, C. Amir, A. Das, K. Aingaran, C. Truong, R. Wang, A. Mehta, R. Heald, and G. Yee. A new family of semidynamic and dynamic flip-flops with embedded logic for high-performance processors. *IEEE Journal of Solid-State Circuits*, 34(5):712–716, May 1999.
- [4] R. Heald, K. Aingaran, C. Amir, M. Ang, M. Boland, P. Dixit, G. Gouldsberry, D. Greenley, J. Grinberg, J. Hart, T. Horel, Wen-Jay Hsu, J. Kaku, Chin Kim, Song Kim, F. Klass, H. Kwan, G. Lauterbach, R. Lo, H. McIntyre, A. Mehta, D. Murata, S. Nguyen, Yet-Ping Pai, S. Patel, K. Shin, K. Tam, S. Vishwanthaiah, J. Wu, G. Yee, and E. You. A third-generation SPARC V9 64-b microprocessor. *IEEE Journal of Solid-State Circuits*, 35(11):1526–1538, Nov 2000.
- [5] S. D. Naffziger, G. Colon-Bonet, T. Fischer, R. Riedlinger, T. J. Sullivan, and T. Grutkowski. The implementation of the Itanium 2 microprocessor. *IEEE Journal of Solid-State Circuits*, 37(11):1448–1460, Nov 2002.
- [6] S. Wijeratne, N. Siddaiah, S. Mathew, M. Anders, R. Krishnamurthy, J. Anderson, Seung Hwang, M. Ernest, and M. Nardin. A 9 GHz 65

- nm Intel Pentium 4 Processor Integer Execution Core. In *2006 IEEE International Solid State Circuits Conference - Digest of Technical Papers*, pages 353–365, Feb 2006.
- [7] Stefania Perri, Marco Lanuzza, and Pasquale Corsonello. Design of high-speed low-power parallel-prefix adder trees in nanometer technologies. *International Journal of Circuit Theory and Applications*, 42(7):731–743, 2014.
- [8] David Harris. *Skew-Tolerant Circuit Design*. Morgan Kaufmann Publishers Inc., San Francisco, CA, USA, 2001.
- [9] Razak Hossain. *High Performance ASIC Design*. Cambridge University Press, 2008. Cambridge Books Online.
- [10] Jan M. Rabaey. *Digital Integrated Circuits: A Design Perspective*. Prentice-Hall, Inc., Upper Saddle River, NJ, USA, 1996.
- [11] Wei Hwang, R. V. Joshi, and W. H. Henkels. A 500 MHz, 32 word times; 64 bit, eight port self-resetting CMOS register file. *IEEE Journal of Solid-State Circuits*, 34(1):56–67, Jan 1999.
- [12] J. Cooper, J. Copeland, R. Krambeck, D. Stanzione, and L. Thomas. A CMOS microprocessor for telecommunications applications. In *1977 IEEE International Solid-State Circuits Conference. Digest of Technical Papers*, pages 138–139, Feb 1977.
- [13] R. H. Krambeck, C. M. Lee, and H. F. S. Law. High-speed compact circuits with CMOS. *IEEE Journal of Solid-State Circuits*, 17(3):614–619, Jun 1982.
- [14] V. G. Oklobdzija and R. K. Montoye. Design-performance trade-offs in CMOS-domino logic. *IEEE Journal of Solid-State Circuits*, 21(2):304–306, Apr 1986.
- [15] L. Heller, W. Griffin, J. Davis, and N. Thoma. Cascode voltage switch logic: A differential CMOS logic family. In *1984 IEEE International Solid-State Circuits Conference. Digest of Technical Papers*, volume XXVII, pages 16–17, Feb 1984.
- [16] A. Dadashi, O. Mirmotahari, and Y. Berg. Domino dual-rail, high-speed, nor logic, with 300 mV supply in 90 nm CMOS technology. In *2016 IEEE International Symposium on Consumer Electronics (ISCE)*, pages 117–118, Sept 2016.

- [17] A. Dadashi, O. Mirmotahari, and Y. Berg. An ultra-low-voltage, semi-floating-gate, domino, dual-rail, nor gate. In *2015 IEEE International Conference on Electronics, Circuits, and Systems (ICECS)*, pages 61–64, Dec 2015.
- [18] Gin Yee and C. Sechen. Clock-delayed domino for dynamic circuit design. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 8(4):425–430, Aug 2000.
- [19] K. H. Dia, R. Zheng, M. Ikeda, and K. Asada. Footless dual-rail domino circuit with self-timed precharge scheme. In *2005 IEEE Asian Solid-State Circuits Conference*, pages 309–312, Nov 2005.
- [20] Jinn-Shyan Wang, Shang-Jyh Shieh, Chingwei Yeh, and Yuan-Hsun Yeh. Pseudo-footless CMOS domino logic circuits for high-performance vlsi designs. In *2004 IEEE International Symposium on Circuits and Systems (IEEE Cat. No.04CH37512)*, volume 2, pages II–401–4 Vol.2, May 2004.
- [21] V. Friedman and S. Liu. Dynamic logic CMOS circuits. *IEEE Journal of Solid-State Circuits*, 19(2):263–266, April 1984.
- [22] Carver Mead and Lynn Conway. *Introduction to VLSI Systems*. Addison-Wesley Longman Publishing Co., Inc., Boston, MA, USA, 1979.
- [23] D. Harris, S.C. Huang, J. Nadir, C.H. Chu, J.C. Stinson, and A. Ilk-bahar. Opportunistic time-borrowing domino logic, May 14 1996. US Patent 5,517,136.
- [24] Y. Suzuki, K. Odagawa, and T. Abe. Clocked CMOS calculator circuitry. *IEEE Journal of Solid-State Circuits*, 8(6):462–469, Dec 1973.
- [25] J. Yuan and C. Svensson. High-speed CMOS circuit technique. *IEEE Journal of Solid-State Circuits*, 24(1):62–70, Feb 1989.
- [26] N. F. Goncalves and H. De Man. NORA: a racefree dynamic CMOS technique for pipelined logic structures. *IEEE Journal of Solid-State Circuits*, 18(3):261–266, Jun 1983.
- [27] I. Karlsson. True single phase clock dynamic CMOS circuit technique. In *1988., IEEE International Symposium on Circuits and Systems*, pages 475–478 vol.1, Jun 1988.

- [28] D. Harris and M. A. Horowitz. Skew-tolerant domino circuits. *IEEE Journal of Solid-State Circuits*, 32(11):1702–1711, Nov 1997.
- [29] C. Cornelius, S. Koppe, and D. Timmermann. Dynamic circuit techniques in deep submicron technologies: Domino logic reconsidered. In *2006 IEEE International Conference on IC Design and Technology*, pages 1–4, 2006.
- [30] C. Cornelius, F. Grassert, S. Koppe, and D. Timmermann. Deep submicron technology: Opportunity or dead end for dynamic circuit techniques. In *20th International Conference on VLSI Design held jointly with 6th International Conference on Embedded Systems (VLSID'07)*, pages 330–338, Jan 2007.
- [31] Shekhar Borkar. Low power design challenges for the decade (invited talk). In *Proceedings of the 2001 Asia and South Pacific Design Automation Conference*, pages 293–296, 2001.
- [32] M. Anders, R. Krishnamurthy, R. Spotten, and K. Soumyanath. Robustness of sub-70 nm dynamic circuits: analytical techniques and scaling trends. In *VLSI Circuits, 2001. Digest of Technical Papers. 2001 Symposium on*, pages 23–24, June 2001.
- [33] M. Alioto, G. Palumbo, and M. Pennisi. Understanding the effect of process variations on the delay of static and domino logic. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 18(5):697–710, May 2010.
- [34] A. Guar and H. Mahmoodi. Impact of technology scaling on performance of domino logic in nano-scale CMOS. In *2012 IEEE/IFIP 20th International Conference on VLSI and System-on-Chip (VLSI-SoC)*, pages 295–298, Oct 2012.
- [35] Li Ding and P. Mazumder. On circuit techniques to improve noise immunity of CMOS dynamic logic. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 12(9):910–925, Sept 2004.
- [36] A. Peiravi and M. Asyaei. Current-comparison-based domino: New low-leakage high-speed domino circuit for wide fan-in gates. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 21(5):934–943, May 2013.

- [37] Chung-Hsien Hua, Wei Hwang, and Chih-Kai Chen. Noise-tolerant XOR-based conditional keeper for high fan-in dynamic circuits. In *2005 IEEE International Symposium on Circuits and Systems*, pages 444–447 Vol. 1, May 2005.
- [38] V. Kursun and E. G. Friedman. Domino logic with variable threshold voltage keeper. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 11(6):1080–1093, Dec 2003.
- [39] R. Thakur, A. K. Dadoria, and T. K. Gupta. Comparative analysis of various domino logic circuits for better performance. In *2014 International Conference on Advances in Electronics Computers and Communications*, pages 1–6, Oct 2014.
- [40] Ram K Krishnamurthy, Atila Alvandpour, Ganesh Balamurugan, Naresh R Shanbhag, K Soumyanath, and Shekhar Y Borkar. A 130 nm 6 GHz 256 x 32 bit leakage-tolerant register file. *Solid-State Circuits, IEEE Journal of*, 37(5):624–632, 2002.
- [41] M. E. S. Elraba, M. H. Anis, and M. I. Elmasry. A contention-free domino logic for scaled-down CMOS technologies with ultra low threshold voltages. In *2000 IEEE International Symposium on Circuits and Systems. Emerging Technologies for the 21st Century. Proceedings (IEEE Cat No.00CH36353)*, volume 1, pages 748–751 vol.1, 2000.
- [42] H. F. Dadgour and K. Banerjee. A novel variation-tolerant keeper architecture for high-performance low-power wide fan-in dynamic or gates. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 18(11):1567–1577, Nov 2010.
- [43] M. W. Allam, M. H. Anis, and M. I. Elmasry. High-speed dynamic logic styles for scaled-down CMOS and MTCMOS technologies. In *Low Power Electronics and Design, 2000. ISLPED '00. Proceedings of the 2000 International Symposium on*, pages 155–160, July 2000.
- [44] S. Mutoh, T. Douseki, Y. Matsuya, T. Aoki, S. Shigematsu, and J. Yamada. 1-V power supply high-speed digital circuit technology with multithreshold-voltage CMOS. *IEEE Journal of Solid-State Circuits*, 30(8):847–854, Aug 1995.
- [45] Anantha Chandrakasan, William J. Bowhill, and Frank Fox. *Issues in Dynamic Logic Design*, pages 140–157. Wiley-IEEE Press, 2001.

- [46] J. Kao. Dual threshold voltage domino logic. In *Proceedings of the 25th European Solid-State Circuits Conference*, pages 118–121, Sept 1999.
- [47] M. H. Anis, M. W. Allam, and M. I. Elmasry. Energy-efficient noise-tolerant dynamic styles for scaled-down CMOS and MTCMOS technologies. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 10(2):71–78, April 2002.
- [48] Kwang-Il Oh and Lee-Sup Kim. A clock delayed sleep mode domino logic for wide dynamic or gate. In *Low Power Electronics and Design, 2003. ISLPED '03. Proceedings of the 2003 International Symposium on*, pages 176–179, Aug 2003.
- [49] A. Alvandpour, R. K. Krishnamurthy, K. Soumyanath, and S. Y. Borkar. A sub-130-nm conditional keeper technique. *IEEE Journal of Solid-State Circuits*, 37(5):633–638, May 2002.
- [50] Seong-Ook Jung, Seung-Moon Yoo, Ki-Wook Kim, and Sung-Mo Kang. Skew-tolerant high-speed (sths) domino logic. In *ISCAS 2001. The 2001 IEEE International Symposium on Circuits and Systems (Cat. No.01CH37196)*, volume 4, pages 154–157 vol. 4, May 2001.
- [51] Y. Lih, N. Tzartzanis, and W. W. Walker. A leakage current replica keeper for dynamic circuits. *IEEE Journal of Solid-State Circuits*, 42(1):48–55, Jan 2007.
- [52] Ali Peiravi and Mohammad Asyaei. Robust low leakage controlled keeper by current-comparison domino for wide fan-in gates. *Integration, the VLSI Journal*, 45(1):22 – 32, 2012.
- [53] S. M. Sharroush, Y. S. Abdalla, A. A. Dessouki, and E. S. A. El-Badawy. Compensating for the keeper current of CMOS domino logic using a well designed NMOS transistor. In *2009 National Radio Science Conference*, pages 1–8, March 2009.
- [54] H. Mahmoodi-Meimand and K. Roy. Diode-footed domino: a leakage-tolerant high fan-in dynamic circuit design style. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 51(3):495–503, March 2004.
- [55] F. Moradi, D. T. Wisland, H. Mahmoodi, and TuanVu Cao. High speed and leakage-tolerant domino circuits for high fan-in applications



- in 70 nm CMOS technology. In *2008 7th International Caribbean Conference on Devices, Circuits and Systems*, pages 1–5, April 2008.
- [56] I. Frustaci, I. Corsonello, and I. Cocorullo. A new noise-tolerant dynamic logic circuit design. In *2007 Ph.D Research in Microelectronics and Electronics Conference*, pages 233–236, July 2007.
- [57] H. Suzuki, C. H. Kim, and K. Roy. Fast tag comparator using diode partitioned domino for 64-bit microprocessors. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 54(2):322–328, Feb 2007.
- [58] M. Elgebaly and M. Sachdev. A leakage tolerant energy efficient wide domino circuit technique. In *The 2002 45th Midwest Symposium on Circuits and Systems, 2002. MWSCAS-2002.*, volume 1, pages I-487–90 vol.1, Aug 2002.
- [59] Anantha Chandrakasan and Robert W. Brodersen. *Multiple Threshold CMOS (MTCMOS)*, pages 86–94. Wiley-IEEE Press, 1998.
- [60] W. Belluomini, D. Jamsek, A. Martin, C. McDowell, R. Montoye, T. Nguyen, Hung Ngo, J. Sawada, I. Vo, and R. Datta. An 8 GHz floating-point multiply. In *ISSCC. 2005 IEEE International Digest of Technical Papers. Solid-State Circuits Conference, 2005.*, pages 374–604 Vol. 1, Feb 2005.
- [61] J. Ciric, G. Yee, and C. Sechen. Delay minimization and technology mapping of two-level structures and implementation using clock-delayed domino logic. In *Proceedings Design, Automation and Test in Europe Conference and Exhibition 2000 (Cat. No. PR00537)*, pages 277–282, 2000.
- [62] Wei-Han Lien and W. P. Burleson. Wave-domino logic: theory and applications. *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, 42(2):78–91, Feb 1995.
- [63] R. P. Colwell and R. L. Steck. A 0.6  $\mu\text{m}$  BiCMOS processor with dynamic execution. In *Solid-State Circuits Conference, 1995. Digest of Technical Papers. 41st ISSCC, 1995 IEEE International*, pages 176–177, Feb 1995.
- [64] L. McMurchie, S. Kio, G. Yee, T. Thorp, and C. Sechen. Output prediction logic: a high-performance CMOS design technique. In *Computer Design, 2000. Proceedings. 2000 International Conference on*, pages 247–254, 2000.

- [65] Sheng Sun, L. McMurchie, and C. Sechen. A high-performance 64-bit adder implemented in output prediction logic. In *Proceedings 2001 Conference on Advanced Research in VLSI. ARVLSI 2001*, pages 213–222, 2001.
- [66] R. J. H. Sung and D. G. Elliott. Clock-logic domino circuits for high-speed and energy-efficient microprocessor pipelines. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 54(5):460–464, May 2007.
- [67] T. Haniotakis, Z. Owda, and Y. Tsiatouhas. Memory-less pipeline dynamic circuit design technique. In *2010 IEEE Computer Society Annual Symposium on VLSI*, pages 201–205, July 2010.
- [68] Z. Owda, Y. Tsiatouhas, and T. Haniotakis. High performance and low power dynamic circuit design. In *New Circuits and Systems Conference (NEWCAS), 2011 IEEE 9th International*, pages 502–505, June 2011.
- [69] W. Belluomini, D. Jamsek, A. K. Martin, C. McDowell, R. K. Montoye, H. C. Ngo, and J. Sawada. Limited switch dynamic logic circuits for high-speed low-power circuit design. *IBM Journal of Research and Development*, 50(2.3):277–286, March 2006.
- [70] J. Sivagnaname, H. C. Ngo, K. J. Nowka, R. K. Montoye, and R. B. Brown. Wide limited switch dynamic logic circuit implementations. In *19th International Conference on VLSI Design held jointly with 5th International Conference on Embedded Systems Design (VLSID'06)*, pages 6 pp.–, Jan 2006.
- [71] J. Sivagnaname, H. C. Ngo, K. J. Nowka, R. K. Montoye, and R. B. Brown. Controlled-load limited switch dynamic logic circuit. In *Sixth international symposium on quality electronic design (isqed'05)*, pages 83–87, March 2005.
- [72] R. Montoye, W. Belluomini, H. Ngo, C. McDowell, J. Sawada, T. Nguyen, B. Veraa, J. Wagoner, and M. Lee. A double precision floating point multiply. In *2003 IEEE International Solid-State Circuits Conference, 2003. Digest of Technical Papers. ISSCC.*, pages 336–337 vol.1, Feb 2003.
- [73] J. Núñez, M. J. Avedillo, and J. M. Quintana. Novel dynamic gate topology for superpipelines in dsm technologies. In *Digital System*

- Design (DSD), 2013 Euromicro Conference on*, pages 280–283, Sept 2013.
- [74] J. Núñez, M. J. Avedillo, J. M. Quintana, and H. J. Quintero. Improving delay-noise trade-off of dynamic gates for fine-grained pipelined applications. *Conference on Design of Circuits and Integrated Systems (DCIS), Donostia - San Sebastian - Spain*, 2013.
- [75] F. Mendoza-Hernandez, M. Linares-Aranda, and V. Champac. Noise-tolerance improvement in dynamic CMOS logic circuits. *IEEE Proceedings - Circuits, Devices and Systems*, 153(6):565–573, Dec 2006.
- [76] G. A. Katopis. Delta-i noise specification for a high-performance computing machine. *Proceedings of the IEEE*, 73(9):1405–1415, Sept 1985.
- [77] Lei Wang, R. K. Krishnamurthy, K. Soumyanath, and N. R. Shanbhag. An energy-efficient leakage-tolerant dynamic circuit technique. In *Proceedings of 13th Annual IEEE International ASIC/SOC Conference (Cat. No.00TH8541)*, pages 221–225, 2000.
- [78] G. Balamurugan and N. R. Shanbhag. Energy-efficient dynamic circuit design in the presence of crosstalk noise. In *Proceedings. 1999 International Symposium on Low Power Electronics and Design (Cat. No.99TH8477)*, pages 24–29, Aug 1999.
- [79] Farshad Moradi, Tuan Vu Cao, Elena I. Vatajelu, Ali Peiravi, Hamid Mahmoodi, and Dag T. Wisland. Domino logic designs for high-performance and leakage-tolerant applications. *Integration, the VLSI Journal*, 46(3):247 – 254, 2013.
- [80] A. Peiravi, F. Moradi, and Dag T. Wisland. Leakage tolerant, noise immune domino logic for circuit design in the ultra deep submicron CMOS technology for high fan-in gates. *Journal of Applied Sciences*, 9(2):392 – 396, 2009.
- [81] F. Moradi, A. Peiravi, and H. Mahmoodi. A novel leakage-tolerant domino logic circuit with feedback from footer transistor in ultra deep submicron CMOS. In *Proceedings of the International Conference Mixed Design of Integrated Circuits and System, 2006. MIXDES 2006.*, pages 210–213, June 2006.

- [82] N. Shanbhag, K. Soumyanath, and S. Martin. Reliable low-power design in the presence of deep submicron noise. In *Low Power Electronics and Design, 2000. ISLPED '00. Proceedings of the 2000 International Symposium on*, pages 295–302, 2000.
- [83] Fabio Frustaci, Marco Lanuzza, Stefania Perri, and Pasquale Corsonello. Analyzing noise robustness of wide fan-in dynamic logic gates under process variations. *International Journal of Circuit Theory and Applications*, 42(5):452–467, 2014.
- [84] MathWorks Matlab. <https://www.mathworks.com/products/matlab.html>.
- [85] Cadence Virtuoso. [https://www.cadence.com/content/cadence-www/global/en\\_us/home/tools/custom-ic-analog-rf-design/circuit-design.html](https://www.cadence.com/content/cadence-www/global/en_us/home/tools/custom-ic-analog-rf-design/circuit-design.html).
- [86] Simulador Spectre. [https://www.cadence.com/content/cadence-www/global/en\\_us/home/tools/custom-ic-analog-rf-design/circuit-simulation/spectre-circuit-simulator.html](https://www.cadence.com/content/cadence-www/global/en_us/home/tools/custom-ic-analog-rf-design/circuit-simulation/spectre-circuit-simulator.html).
- [87] Tecnología comercial CMOS 130 nm. <http://www.umc.com>.
- [88] Modelos PTM. <http://ptm.asu.edu>.
- [89] Wei Zhao and Yu Cao. New generation of predictive technology model for sub-45nm design exploration. In *7th International Symposium on Quality Electronic Design (ISQED'06)*, pages 6 pp.–590, March 2006.
- [90] M. S. Hrishikesh, N. P. Jouppi, K. I. Farkas, D. Burger, S. W. Keckler, and P. Shivakumar. The optimal logic depth per pipeline stage is 6 to 8 FO4 inverter delays. In *Computer Architecture, 2002. Proceedings. 29th Annual International Symposium on*, pages 14–24, 2002.
- [91] V. Srinivasan, D. Brooks, M. Gschwind, P. Bose, V. Zyuban, P. N. Strenski, and P. G. Emma. Optimizing pipelines for power and performance. In *Microarchitecture, 2002. (MICRO-35). Proceedings. 35th Annual IEEE/ACM International Symposium on*, pages 333–344, 2002.
- [92] D. Jeon, M. Seok, C. Chakrabarti, D. Blaauw, and D. Sylvester. A super-pipelined energy efficient subthreshold 240 MS/s fft core in 65 nm CMOS. *IEEE Journal of Solid-State Circuits*, 47(1):23–34, Jan 2012.

- [93] S. Horne, D. Glowka, S. McMahon, P. Nixon, M. Seningen, and G. Vijayan. Fast14 technology: design technology for the automation of multi-gigahertz digital logic. In *Integrated Circuit Design and Technology, 2004. ICICDT '04. International Conference on*, pages 165–173, 2004.
- [94] C. K. Jerry, W. H. Ma, S. Kim, and M. Papaefthymiou. 2.07 GHz floating-point unit with resonant-clock precharge logic. In *Solid State Circuits Conference (A-SSCC), 2010 IEEE Asian*, pages 1–4, Nov 2010.
- [95] S. Borkar, T. Karnik, S. Narendra, J. Tschanz, A. Keshavarzi, and V. De. Parameter variations and impact on circuits and microarchitecture. In *Proceedings 2003. Design Automation Conference (IEEE Cat. No.03CH37451)*, pages 338–342, June 2003.
- [96] A. Datta, S. Bhunia, S. Mukhopadhyay, N. Banerjee, and K. Roy. Statistical modeling of pipeline delay and design of pipeline under process variation to enhance yield in sub-100 nm technologies. In *Design, Automation and Test in Europe*, pages 926–931 Vol. 2, March 2005.
- [97] P. M. Kogge and H. S. Stone. A parallel algorithm for the efficient solution of a general class of recurrence equations. *IEEE Transactions on Computers*, C-22(8):786–793, Aug 1973.
- [98] Faraday Technology. <http://www.faraday-tech.com>.
- [99] J. Núñez, M. J. Avedillo, and H. J. Quintero. Doe based high-performance gate-level pipelines. In *2014 24th International Workshop on Power and Timing Modeling, Optimization and Simulation (PATMOS)*, pages 1–4, Sept 2014.
- [100] H. J. Quintero, M. J. Avedillo, and J. Núñez. Improving robustness of dynamic logic based pipelines. In *2015 Conference on Design of Circuits and Integrated Systems (DCIS)*, pages 1–4, Nov 2015.
- [101] H. J. Quintero, M. Jimenez, M. J. Avedillo, and J. Núñez. Inverting versus non-inverting dynamic logic for two-phase latch-free nanopipelines. In *15th International Conference on Synthesis, Modeling, Analysis and Simulation Methods and Applications to Circuit Design (SMACD)*, Jul 2018.